



Università degli Studi di Padova

FACOLTÀ DI INGEGNERIA
Corso di Laurea Specialistica in Ingegneria Elettronica

TESI DI LAUREA

**Convertitori di potenza a capacità commutata
con controllo del duty-cycle**

Laureando:
Giuliano Favero
Matricola **569878**

Relatore:
Prof. Simone Buso

Indice

Introduzione	1
1 I convertitori a capacità commutata	5
1.1 Principio di funzionamento	5
1.2 Perdite nei convertitori a capacità commutata	6
1.2.1 Il processo di carica di un condensatore	6
1.2.2 Le non idealità dei componenti	9
1.3 Tipologie di convertitori	9
1.3.1 Hard Switched	9
1.3.2 Soft Switched	13
1.3.3 Criteri di scelta fra Hard Switched e Soft Switched	17
1.3.4 Lossless	17
1.3.5 Current Pumped	19
1.3.6 Zero Current/Voltage Switching SMPS	20
2 Convertitori DC/DC Hard Switched	23
2.1 Modello medio generico	23
2.1.1 Impedenza di uscita nel SSL	25
2.1.2 Impedenza di uscita nel FSL	27
2.2 Ladder	29
2.3 Dickson	30
2.4 Fibonacci	31
2.5 Series-Parallel	33
2.6 Doubler	34
2.7 Confronto tra le topologie	35
3 Modello topologia Series-Parallel	39
3.1 Modello convertitore 1/2	39
3.1.1 Modello medio	42

3.1.2	Evoluzione temporale dello stato e dell'uscita in regime stazionario	44
3.2	Estensione del modello ad un rapporto di conversione generico . .	48
3.2.1	Evoluzione temporale dello stato e dell'uscita in regime stazionario	48
3.2.2	Modello medio	49
3.3	Modello convertitore 1/3	52
3.4	Modello convertitore 2/3	54
4	Controllo e regolazione	57
4.1	Regolazione della tensione di uscita	57
4.1.1	Variazione del rapporto di conversione	59
4.1.2	Variazione del duty-cycle	59
4.1.3	Variazione della frequenza di commutazione	59
4.2	Controllo diretto del duty-cycle	60
5	Progetto dei convertitori	63
5.1	Scelta dei componenti	63
5.1.1	Interruttori	64
5.1.2	Condensatori	66
5.1.3	Controllore PWM	66
5.2	Primo prototipo	69
5.2.1	Convertitore con rapporto di conversione 1/2	70
5.2.2	Convertitore con rapporto di conversione 1/3	75
5.2.3	Convertitore con rapporto di conversione 2/3	78
5.2.4	Misure	81
5.3	Secondo prototipo	88
5.3.1	Convertitore con rapporto di conversione 1/2	88
5.3.2	Convertitore con rapporto di conversione 1/3	95
5.3.3	Convertitore con rapporto di conversione 2/3	99
5.3.4	Realizzazione	103
5.3.5	Misure	109
	Conclusioni	125
A	Programmi Mathcad	127
A.1	Modello convertitore 1/2	127
A.2	Modello convertitore generico	133

A.3	Modello medio generico	141
B	Programmi MATLAB	143
B.1	Convertitore 1/2	143
B.2	Convertitore 1/3	145
B.3	Convertitore 2/3	147
C	Modelli MATLAB Simulink	151
C.1	Convertitore 1/2	151
C.2	Convertitore 1/3	152
C.3	Convertitore 2/3	152
C.4	Controllo del duty-cycle	153
	Elenco delle figure	155
	Elenco delle tabelle	159
	Bibliografia	161

Introduzione

La tendenza a realizzare dispositivi elettronici di dimensioni sempre più piccole ha spinto il settore dell'elettronica di potenza verso lo sviluppo di convertitori a commutazione privi di induttanze e trasformatori. Questi, infatti, sono gli elementi che determinano principalmente il peso e le dimensioni degli stadi di alimentazione nelle applicazioni di bassa potenza. L'utilizzo di soli condensatori ed interruttori ha portato alla realizzazione degli switched capacitor converters (SCC), o convertitori a capacità commutata, caratterizzati da piccole dimensioni, peso ridotto ed alte densità di potenza. Il funzionamento con carico ridotto od assente è possibile, senza necessità di inserire un carico fittizio o di utilizzare complicate tecniche di controllo. In assenza di carico infatti l'uscita si porta ad un valore determinato unicamente dalla topologia del convertitore. In questa situazione, riducendo la frequenza di commutazione, è possibile rendere praticamente nulle le perdite, mantenendo comunque una buona regolazione. Questo comportamento è ideale per le applicazioni alimentate a batteria e dotate di sistemi di gestione dell'energia, nelle quali il convertitore lavora con carichi molto piccoli. Con una stessa topologia è inoltre possibile realizzare sia un convertitore di tipo buck che di tipo boost, con più rapporti di conversione. Questo, ad esempio, permette di regolare la tensione ai capi delle batterie nei dispositivi portatili, che nel tempo di utilizzo arriva fino a dimezzarsi, mantenendo un rendimento elevato. Altri aspetti importanti sono la possibilità di realizzare elevati innalzamenti od abbassamenti di tensione con rendimenti elevati, i bassi livelli di emissioni EMI e la facilità di integrazione rispetto i tradizionali convertitori a commutazione. Per contro l'efficienza è molto elevata solo per rapporti di conversione fissati.

Tra i prodotti esistenti in commercio, si riportano come esempio i dispositivi LTC1263 della Linear Technology e MAX662A della Maxim, utilizzati per generare l'alimentazione di 12V necessaria alla programmazione delle memorie FLASH a partire dalla tensione di alimentazione di 5V [1],[2]. Questi sono la prima e più semplice realizzazione di un convertitore boost a capacità commutata,

dotato di regolazione della tensione di uscita.

La ricerca e l'utilizzo di tecniche di regolazione più complesse ha portato all'estensione del campo delle applicazioni dei convertitori a capacità commutata. L'integrato LM3352 della National Semiconductor è un convertitore DC/DC buck/boost a capacità commutata con corrente di carico nominale di 200mA e tensione costante di uscita fino a 4V per tensioni in ingresso da 2.5V a 5.5V [3]. Questo dispositivo utilizza tre capacità in commutazione e una di filtro in uscita, garantendo un rendimento medio superiore all'80% con soli 400 μ A di corrente assorbita per il funzionamento.

Un altro esempio è l'integrato MAX203E della Maxim, un trasmettitore-ricevitore per l'interfaccia RS-232 [4]. In questo dispositivo viene realizzata l'alimentazione di ± 10 V dall'ingresso a +5V tramite l'utilizzo di capacità integrate nel chip.

Le possibili applicazioni future sono numerose, tra cui le più importanti sono le reti di sensori, gli azionamenti elettrici, i microprocessori e l'illuminazione a LED. Si riporta come esempio l'integrato LM2759 della National Semiconductor, di recente produzione [5]. Questo è un convertitore DC/DC a capacità commutata dotato di controllo di corrente per i moduli LED con i quali sono realizzati i flash delle fotocamere presenti nei telefoni cellulari di ultima generazione. Questo integrato è basato su un convertitore a capacità commutata con due capacità in commutazione esterne ed una capacità di uscita. Nelle dimensioni di 3mm \times 7.3mm, comprensive delle capacità necessarie, è in grado di erogare fino a 1A in modalità flash e 180mA continui, per tensioni di uscita comprese tra 2V e 4V. Inoltre è compatibile con l'interfaccia I²C con la quale è possibile programmare la durata del flash e la corrente erogata in entrambe le modalità di funzionamento. Il rendimento complessivo è compreso tra il 60% e il 90%.

In questa tesi sono stati realizzati tre convertitori DC/DC a capacità commutata di tipo buck con rapporto di conversione 1/2, 1/3 e 2/3, dotati di regolazione della tensione di uscita tramite controllo del duty-cycle. Nel primo capitolo, dopo una breve spiegazione sul principio di funzionamento, sono riportate le principali tipologie di convertitori esistenti. Nel secondo capitolo vengono messe a confronto le topologie DC/DC classiche in modo da definire dei criteri di scelta. Nel terzo capitolo si è sviluppato il modello della topologia Series-Parallel con la quale sono stati realizzati i convertitori. Il quarto capitolo riguarda i metodi di regolazione della tensione di uscita. In particolare, viene studiato il controllo diretto del duty-cycle applicato alla topologia Series-Parallel. Nel quinto capitolo è riportata la progettazione dei convertitori, eseguita utilizzando i risultati ottenuti

nei capitoli precedenti, assieme alle misure effettuate. Si è realizzato un primo prototipo di due convertitori per verificare il modello teorico e successivamente un secondo prototipo contenente i tre convertitori con il relativo controllo.

Capitolo 1

I convertitori a capacità commutata

1.1 Principio di funzionamento

I convertitori a capacità commutata (SCC) sono composti principalmente da interruttori e condensatori. Gli interruttori cambiano periodicamente la topologia della rete di condensatori in modo da ottenere in uscita una tensione legata alla loro combinazione. I condensatori vengono caricati a valori multipli della tensione di ingresso o di uscita, a seconda della topologia del convertitore.

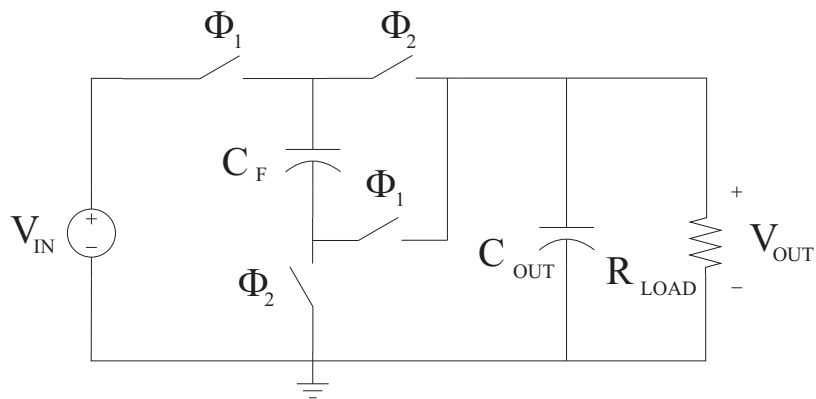


Figura 1.1: Convertitore con rapporto di conversione $M=1/2$.

In Figura 1.1 è riportato un esempio di convertitore a capacità commutata di tipo buck con rapporto di conversione $M=1/2$. Gli interruttori sono controllati da un clock a due fasi non sovrapposte. Le fasi nelle quali gli interruttori sono attivi sono indicate come Φ_1 e Φ_2 . Durante la prima fase, C_F è posto tra il generatore

d'ingresso V_{IN} e l'uscita, mentre nella seconda fase è posto in parallelo a C_{OUT} . In assenza di carico, C_{OUT} mantiene la tensione ai suoi capi, da cui:

$$V_{IN} = V_{CF} + V_{COUT} = 2V_{OUT}. \quad (1.1)$$

Con la stessa struttura, aumentando il numero di condensatori, è possibile aumentare il rapporto di conversione. Per realizzare un convertitore di tipo boost è sufficiente scambiare le posizioni di ingresso e uscita. Nelle reti a capacità commutata i condensatori come C_F vengono detti condensatori volanti, proprio per il fatto che cambiano continuamente la loro posizione tra ingresso ed uscita.

1.2 Perdite nei convertitori a capacità commutata

Il rendimento di un convertitore a capacità commutata è legato alla sua impedenza di uscita, come nel modello di Figura 1.2. Si trascurano la potenza necessaria al comando degli interruttori e le perdite per correnti parassite. In regime stazionario, in assenza di carico, il comportamento del convertitore è ideale e in uscita è presente una tensione continua pari ad n volte la tensione di ingresso, dove n è un numero razionale. L'impedenza di uscita è resistiva ed è determinata dalle perdite causate dalla commutazione delle capacità e dalle resistenze serie degli interruttori e dei condensatori in conduzione. Le perdite si traducono in una caduta di tensione provocata dalla corrente di carico sull'impedenza di uscita, come nel modello di un generatore reale di tensione.

1.2.1 Il processo di carica di un condensatore

L'utilizzo di capacità in commutazione per realizzare la conversione dell'energia non è inizialmente sembrata una buona strada da seguire, poichè il processo di carica da zero di una capacità viene completato con un'efficienza del 50%.

Supponiamo di voler caricare una capacità collegandola ad un generatore di tensione costante tramite un interruttore. Sia quindi $V_c(0) = 0$ la tensione sul condensatore al tempo $t = 0$, V la tensione prodotta dal generatore ed R la resistenza in conduzione dell'interruttore. La corrente di carica è perciò:

$$i(t) = \frac{V}{R} e^{-\frac{t}{RC}}. \quad (1.2)$$

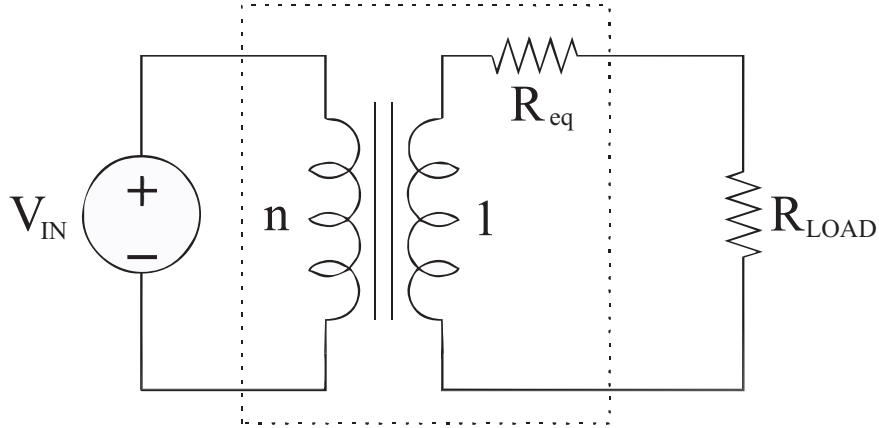


Figura 1.2: Modello di un convertitore a capacità commutata.

L'energia richiesta dal processo di carica si ottiene integrando nel tempo il prodotto tensione corrente, come segue:

$$E = \int_0^\infty V i(t) dt = \int_0^\infty \frac{V^2}{R} e^{-\frac{t}{RC}} dt = CV^2. \quad (1.3)$$

L'energia dissipata per effetto Joule risulta invece:

$$E_d = \int_0^\infty R i(t)^2 dt = \int_0^\infty \frac{V^2}{R} e^{-\frac{2t}{RC}} dt = \frac{1}{2} CV^2. \quad (1.4)$$

L'energia dissipata durante il processo di carica non dipende quindi dal valore della resistenza serie tra alimentazione e capacità, ma solamente dalla variazione di potenziale ai capi del condensatore. Di conseguenza, anche in un'applicazione con componenti ideali, cioè privi di elementi parassiti, l'utilizzo di capacità in commutazione comporta un rendimento teorico inferiore al 100%. Intuitivamente, quindi, una capacità di uscita di valore elevato permetterà di ottenere un basso ripple sulla tensione, minimizzando perciò la variazione di potenziale ai capi delle capacità, e quindi le perdite.

In Figura 1.3 è riportato il tipico andamento temporale della tensione di uscita di un convertitore a capacità commutata del tipo di Figura 1.1. Nell'istante di commutazione la tensione di uscita sale bruscamente, poichè la corrente non è controllata, per poi calare esponenzialmente (praticamente in modo lineare) fino alla commutazione successiva.

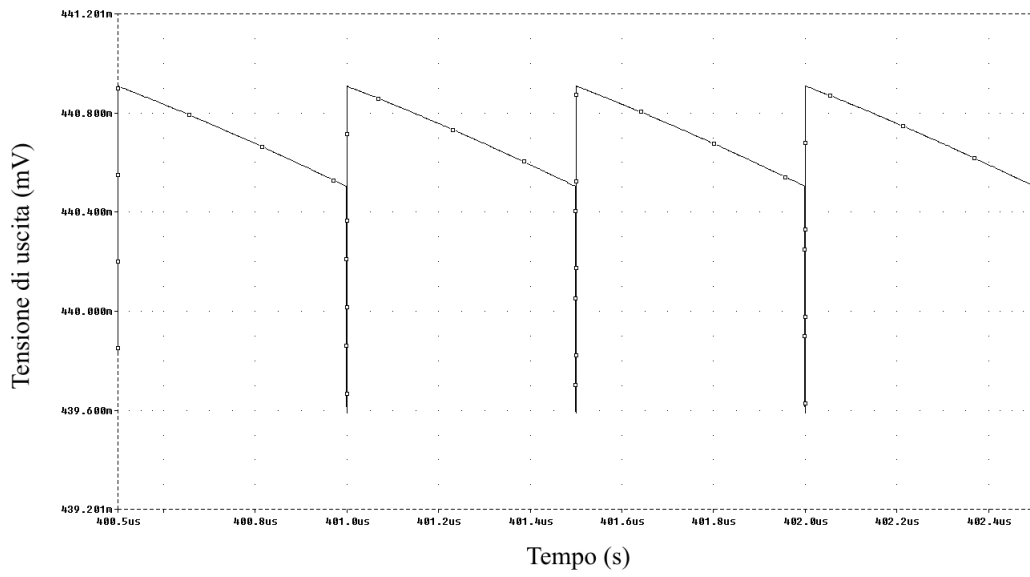


Figura 1.3: Andamento temporale della tensione di uscita per un SCC con rapporto di conversione $M = 1/2$, $C_F = 1\mu F$, $C_{OUT} = 33\mu F$, frequenza di commutazione degli interruttori $f = 1MHz$ e duty-cycle $D = 0.5$.

1.2.2 Le non idealità dei componenti

Nei convertitori a capacità commutata contribuiscono all'aumento delle perdite la resistenza in conduzione degli interruttori e la resistenza serie equivalente (ESR) dei condensatori. Quest'ultima può essere determinata da tre aspetti fisici differenti, a seconda del tipo di condensatore. Le perdite dielettriche tra due armature parallele caratterizzano le perdite nei condensatori ceramici, a film ed elettrolitici a polimeri. Queste perdite sono basse e perciò le ESR di questi tipi di condensatori sono dovute principalmente alla resistenza della metallizzazione delle armature e dei contatti. Nei condensatori elettrolitici all'alluminio ed al tantalio si aggiunge inoltre la resistenza dell'elettrolita, che causa l'aumento di un ordine di grandezza dell'ESR rispetto ai precedenti [6].

La resistenza in conduzione degli interruttori può essere minimizzata utilizzando MOSFET di dimensioni appropriate con bassi valori di resistenza in conduzione, a scapito di dimensioni e costo. Un criterio di progetto adottato talvolta consiste nel dimensionare gli interruttori in modo che diano lo stesso contributo delle ESR sulle perdite di conduzione.

I parametri parassiti rivestono un ruolo importante, soprattutto nelle realizzazioni come circuito integrato, e spesso la soluzione ottimale non è di facile intuizione. Ad esempio, una pista di $2.5 \text{ mm} \times 25 \text{ mm}$, di spessore 1 oz/ft^2 , presenta una resistenza di $5 \text{ m}\Omega$, che non è trascurabile rispetto ai valori di ESR e resistenza in conduzione degli interruttori ottenibili. Questo evidenzia inoltre come può non essere efficace l'utilizzo di più condensatori od interruttori in parallelo, per diminuire la resistenza in conduzione. Aumentando il numero di componenti, infatti, aumenta di conseguenza il numero delle piste e la lunghezza dei collegamenti. Risulta più conveniente invece mettere in parallelo più convertitori, per diminuire la resistenza di uscita [7].

1.3 Tipologie di convertitori

1.3.1 Hard Switched

I convertitori Hard Switched sono composti solo da capacità ed interruttori, i quali commutano a tensione e corrente diverse da zero. In Figura 1.4 è riportato lo schema base di una cella di commutazione. Generalmente un convertitore è composto da più celle, riconducibili a questa topologia.

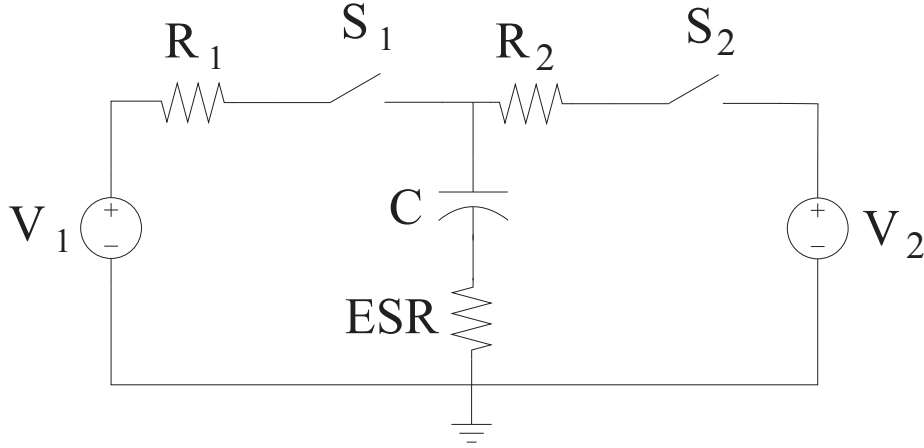


Figura 1.4: Modello base di una cella di commutazione Hard Switched.

Gli unici parametri parassiti considerati sono la resistenza in conduzione degli interruttori e l'ESR dei condensatori. La resistenza equivalente delle tracce di collegamento può essere aggiunta nelle precedenti se di valore significativo. Le induttanze parassite provocano, per frequenze di commutazione elevate, un aumento dell'impedenza serie. In prima approssimazione possono essere trascurate, in quanto, con un'adeguata scelta dei componenti e del layout del convertitore, possono essere minimizzate, in modo che il loro effetto si presenti a frequenza maggiore di quella di commutazione.

Gli interruttori vengono chiusi alternativamente con un certo duty-cycle D e frequenza $f_s = 1/T_s$. Nella prima fase l'interruttore S_1 è chiuso mentre S_2 è aperto: in questo modo C si carica attraverso V_1 . La corrente di carica segue l'andamento esponenziale:

$$i(t) = \frac{\Delta V}{R} e^{-\frac{t}{RC}}, \quad (1.5)$$

dove $R = R_1 + ESR$ e ΔV è la differenza di potenziale tra V_1 e capacità nell'istante di chiusura di S_1 .

L'energia dissipata nella prima fase è data da:

$$E_1 = \int_0^{DT_s} Ri(t)^2 dt = \int_0^{DT_s} \frac{\Delta V^2}{R} e^{-\frac{2t}{RC}} dt = \frac{\Delta V^2 C}{2} (1 - e^{-2\beta_1}), \quad (1.6)$$

dove $\beta_1 = \frac{DT_s}{RC}$. La carica Q_c immagazzinata dal condensatore durante la prima fase è data dall'integrale della corrente nell'intervallo di carica:

$$Q_c = \int_0^{DT_s} i(t) dt = \int_0^{DT_s} \frac{\Delta V}{R} e^{-\frac{t}{RC}} dt = \Delta VC(1 - e^{-\beta_1}). \quad (1.7)$$

La corrente media durante la prima fase è quindi il rapporto fra carica trasferita e periodo di commutazione:

$$I_1 = \frac{Q_c}{T_s} = f_s \Delta VC(1 - e^{-\beta_1}). \quad (1.8)$$

Sostituendo (1.8) in (1.6), quest'ultima diventa:

$$E_1 = \frac{I_1^2}{2f_s^2 C} \frac{(1 + e^{-\beta_1})}{(1 - e^{-\beta_1})}. \quad (1.9)$$

Per semplicità di calcolo consideriamo che la resistenza equivalente nella seconda fase valga ancora R , cioè sia $R_1 = R_2$. Procedendo in modo analogo si ottiene l'energia dissipata nella seconda fase:

$$E_2 = \frac{I_2^2}{2f_s^2 C} \frac{(1 + e^{-\beta_2})}{(1 - e^{-\beta_2})}. \quad (1.10)$$

In regime stazionario $I_1 = I_2 = I$, per cui la potenza dissipata risulta:

$$P_d = \frac{E_1 + E_2}{T_s} = I^2 \frac{1}{2f_s C} \left[\frac{(1 + e^{-\beta_1})}{(1 - e^{-\beta_1})} + \frac{(1 + e^{-\beta_2})}{(1 - e^{-\beta_2})} \right]. \quad (1.11)$$

Da (1.11) è possibile ricavare infine la resistenza equivalente:

$$R_{eq} = \frac{P_d}{I^2} = \frac{1}{2f_s C} \left[\frac{(1 + e^{-\beta_1})}{(1 - e^{-\beta_1})} + \frac{(1 + e^{-\beta_2})}{(1 - e^{-\beta_2})} \right]. \quad (1.12)$$

Sia $D = 0.5$ in modo tale che $\beta_1 = \beta_2 = \beta$ e quindi la (1.12) si possa semplificare nel modo seguente:

$$R_{eq} = \frac{P_d}{I^2} = \frac{1}{f_s C} \frac{(1 + e^{-\beta})}{(1 - e^{-\beta})}. \quad (1.13)$$

Se la costante di tempo $RC \ll 1/f_s$ in ogni periodo avviene una carica e scarica completa del condensatore e perciò R_{eq} non dipenderà dal valore di R . Al diminuire della frequenza di commutazione si raggiungerà quindi lo Slow Switching Limit (SSL) per $\beta \rightarrow \infty$:

$$R_{SSL} = \lim_{\beta \rightarrow \infty} R_{eq} = \frac{1}{Cf_s}. \quad (1.14)$$

R_{SSL} è dunque il limite minimo ottenibile per la resistenza di uscita. Infatti lo stesso risultato si ottiene per $R = 0$.

Dalla (1.14) si evince che al crescere della frequenza di commutazione R_{eq} tenderà a diminuire, fino a quando la costante di tempo $RC \gg \frac{1}{f_s}$. Aumentando la frequenza di commutazione si raggiungerà quindi il Fast Switching Limit (FSL) per $\beta \rightarrow 0$. Esprimiamo R_{eq} in funzione di β :

$$R_{eq} = 2R\beta \frac{(1 + e^{-\beta})}{(1 - e^{-\beta})}. \quad (1.15)$$

Il limite di (1.15) per $\beta \rightarrow 0$ risulta:

$$R_{FSL} = \lim_{\beta \rightarrow 0} 2R\beta \frac{(1 + e^{-\beta})}{(1 - e^{-\beta})} = \lim_{\beta \rightarrow 0} \frac{2R - 2R\beta e^{-\beta} + 2Re^{-\beta}}{e^{-\beta}} = 4R, \quad (1.16)$$

che è il limite minimo di resistenza ottenibile al crescere della frequenza di commutazione. In Figura 1.5 è riportato l'andamento della resistenza equivalente al variare della frequenza di commutazione.

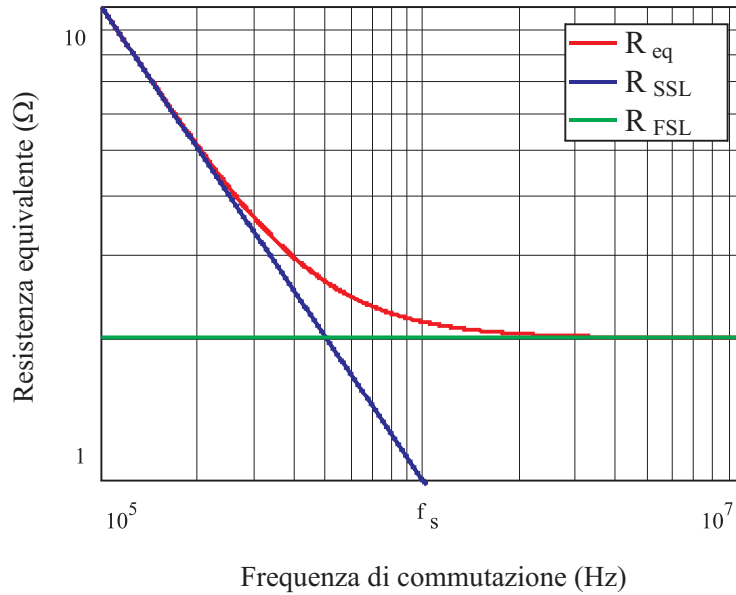


Figura 1.5: Andamento di R_{eq} per $C = 1\mu F$, $R = 0.5\Omega$ e $D = 0.5$.

Vediamo ora l'effetto del duty-cycle sulla resistenza. Riscriviamo la (1.12) nel modo seguente:

$$R_{eq} = \frac{1}{2f_s C} \left(\coth \frac{\beta_1}{2} + \coth \frac{\beta_2}{2} \right) \quad (1.17)$$

e poichè ne facciamo il limite per $\beta \rightarrow 0$, è possibile sostituire al posto di $\coth(x)$ il suo sviluppo in serie di Taylor nell'intorno dell'origine, di cui consideriamo l'approssimazione al primo termine:

$$\coth(x) \approx \frac{1}{x}. \quad (1.18)$$

Utilizzando questa semplificazione in (1.17) quest'ultima diventa:

$$R_{FSL}(D) = \frac{1}{2f_s C} \left(\frac{2}{\beta_1} + \frac{2}{\beta_2} \right) = \frac{R}{D(1-D)}, \quad (1.19)$$

poichè $\beta_1 = \frac{DT_s}{RC}$ e $\beta_2 = \frac{(1-D)T_s}{RC}$. Dalla (1.19) risulta che il valore minimo vale $4R$ in corrispondenza di $D = 0.5$, che è lo stesso risultato ottenuto in (1.16) [8].

1.3.2 Soft Switched

Lo schema di una cella base di un convertitore Soft Switched è riportato in Figura 1.6 ed è lo stesso dei convertitori Hard Switched, con l'aggiunta di un'induttanza in serie alla capacità in commutazione [9].

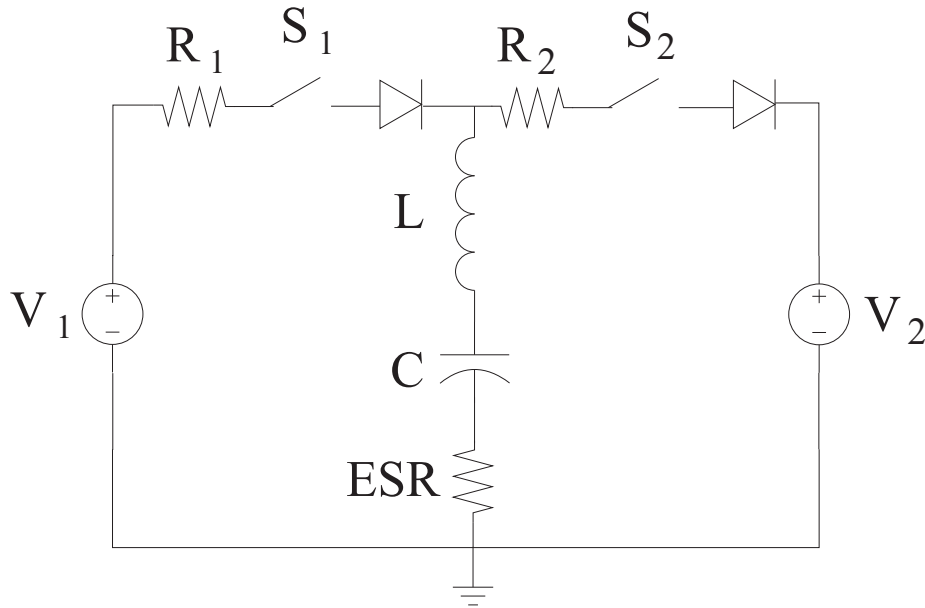


Figura 1.6: Modello base di una cella di commutazione Soft Switched.

L'aggiunta dell'induttanza crea un circuito risonante serie ad una precisa frequenza, mentre i diodi servono ad impedire l'inversione della corrente. Questo permette di poter aprire e chiudere gli interruttori con corrente nulla al termine del primo semiperiodo di risonanza, poichè la corrente viene forzata a zero dal diodo. Sia $R_{s1} = R_1 + ESR$ e $f_s = 1/T_s$. Nella prima fase il circuito risuona alla frequenza $\omega_{d1} = \sqrt{\omega_0^2 - \alpha_1^2}$, dove $\omega_0 = \frac{1}{\sqrt{LC}}$ è la pulsazione di risonanza non smorzata e $\alpha_1 = \frac{R_{s1}}{2L}$ è il fattore di attenuazione. L'interruttore S_1 è chiuso mentre S_2 è aperto: in questo modo C si carica attraverso V_1 e ΔV è la differenza di potenziale tra V_1 e capacità nell'istante di chiusura di S_1 . La risonanza provoca il seguente andamento sinusoidale della corrente nel condensatore, smorzato a causa di R_{s1} :

$$i(t) = \frac{\Delta V}{\omega_{d1} L} e^{-\alpha_1 t} \sin(\omega_{d1} t). \quad (1.20)$$

L'energia dissipata nella prima fase è data da:

$$E_1 = \int_0^{\frac{\pi}{\omega_{d1}}} R_{s1} i(t)^2 dt = \int_0^{\frac{\pi}{\omega_{d1}}} R_{s1} \frac{\Delta V^2}{\omega_{d1}^2 L^2} e^{-2\alpha_1 t} \sin^2(\omega_{d1} t) dt = \frac{\Delta V^2 C}{2} \left(1 - e^{-2\pi\zeta_{d1}} \right), \quad (1.21)$$

dove $\zeta_{d1} = \frac{R_{s1}}{2\omega_{d1} L}$ è il fattore di smorzamento.

La carica Q_c immagazzinata dal condensatore durante la prima fase è data dall'integrale della corrente nell'intervallo di carica:

$$Q_c = \int_0^{\frac{\pi}{\omega_{d1}}} i(t) dt = \int_0^{\frac{\pi}{\omega_{d1}}} \frac{\Delta V}{\omega_{d1} L} e^{-\alpha_1 t} \sin(\omega_{d1} t) dt = \Delta V C (1 + e^{-\pi\zeta_{d1}}). \quad (1.22)$$

La corrente media durante la prima fase è quindi il rapporto fra carica trasferita e periodo di commutazione:

$$I_1 = \frac{Q_c}{T_s} = f_s \Delta V C (1 + e^{-\pi\zeta_{d1}}). \quad (1.23)$$

Sostituendo (1.23) in (1.21), quest'ultima diventa:

$$E_1 = \frac{I_1^2}{2f_s^2 C} \frac{(1 - e^{-\pi\zeta_{d1}})}{(1 + e^{-\pi\zeta_{d1}})}. \quad (1.24)$$

Nella seconda fase essendo $R_{s2} = R_2 + ESR$, cambia la pulsazione di risonanza in ω_{d2} ed il fattore di smorzamento in ζ_2 . Scegliendo quindi il duty-cycle D e la frequenza di commutazione f_s in modo che:

$$\begin{cases} \frac{1}{f_s} \geq \frac{\pi}{\omega_{d1}} + \frac{\pi}{\omega_{d2}} \\ \frac{D}{f_s} \geq \frac{\pi}{\omega_{d1}} \\ \frac{1-D}{f_s} \geq \frac{\pi}{\omega_{d2}} \end{cases}, \quad (1.25)$$

le commutazioni avverranno a corrente nulla in quanto al termine del primo semiperiodo di risonanza i diodi impediscono l'inversione della corrente che viene forzata a zero. Procedendo in modo analogo al precedente, l'energia dissipata nella seconda fase risulta:

$$E_2 = \frac{I_2^2}{2f_s^2 C} \frac{(1 - e^{-\pi\zeta_{d2}})}{(1 + e^{-\pi\zeta_{d2}})}. \quad (1.26)$$

In regime stazionario $I_1 = I_2 = I$, per cui la potenza dissipata risulta:

$$P_d = \frac{E_1 + E_2}{T_s} = I^2 \frac{1}{2f_s C} \left[\frac{(1 - e^{-\pi\zeta_{d1}})}{(1 + e^{-\pi\zeta_{d1}})} + \frac{(1 - e^{-\pi\zeta_{d2}})}{(1 + e^{-\pi\zeta_{d2}})} \right]. \quad (1.27)$$

Da (1.27) è possibile ricavare infine la resistenza equivalente:

$$R_{eq} = \frac{P_d}{I^2} = \frac{1}{2f_s C} \left[\frac{(1 - e^{-\pi\zeta_{d1}})}{(1 + e^{-\pi\zeta_{d1}})} + \frac{(1 - e^{-\pi\zeta_{d2}})}{(1 + e^{-\pi\zeta_{d2}})} \right]. \quad (1.28)$$

Per semplicità di calcolo consideriamo $R_1 = R_2$ che comporta $\omega_{d1} = \omega_{d2} = \omega_d$ e $\zeta_{d1} = \zeta_{d2} = \zeta_d$. La (1.28) si può quindi semplificare nel modo seguente:

$$R_{eq} = \frac{P_d}{I^2} = \frac{1}{f_s C} \frac{(1 - e^{-\pi\zeta_d})}{(1 + e^{-\pi\zeta_d})}. \quad (1.29)$$

Per poter confrontare (1.29) con R_{eq} dei convertitori Hard Switched è necessario fare le seguenti osservazioni:

- il fattore di smorzamento ζ_d è indipendente dalla frequenza di commutazione;
- da (1.25) il minimo periodo di commutazione possibile per permettere alla corrente di tornare a zero risulta $T_s = \frac{2\pi}{\omega_d}$, per $D = 0.5$.

Da (1.29) si osserva che al crescere della frequenza di commutazione R_{eq} cala, come nei convertitori Hard Switched, fino a che:

$$f_s = \frac{\omega_d}{2\pi}, \quad (1.30)$$

valore limite per permettere alla corrente che attraversa la capacità di annullarsi. Invece, nel caso di componenti ideali, ossia per $R \rightarrow 0$:

$$\lim_{R \rightarrow 0} R_{eq} = \frac{1}{f_s C} \frac{(1 - e^{-\pi \frac{R}{2\omega_d L}})}{(1 + e^{-\pi \frac{R}{2\omega_d L}})} = 0. \quad (1.31)$$

Per un convertitore Soft-Switched il massimo rendimento teorico possibile è quindi pari al 100%. In un convertitore reale, comunque, la resistenza non sarà mai nulla. Vediamo quindi come questo influisce sul valore di R_{eq} . Per aumentare la frequenza di commutazione oltre il limite imposto da (1.30), è necessario aumentare anche la frequenza di risonanza.

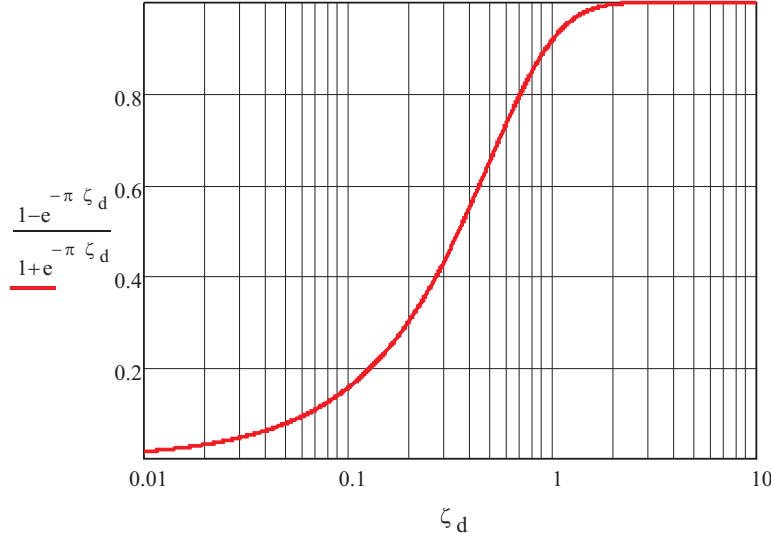


Figura 1.7: Andamento di $R_{eq} f_s C$ al variare di ζ_d .

Dalla Figura 1.7 si osserva che per $\zeta_d \ll 1$, R_{eq} tenderà ad annullarsi, indipendentemente dal valore di R . Se consideriamo la situazione ottimale di funzionamento $\frac{\omega_d}{2\pi} = f_s$:

$$\lim_{f_s \rightarrow \infty} R_{eq} = \frac{1}{f_s C} \frac{(1 - e^{-\pi \frac{R}{4\pi f_s L}})}{(1 + e^{-\pi \frac{R}{2\pi 4 f_s L}})} = \frac{1}{2f_s C} \tanh\left(\frac{R}{2\pi 8 f_s L}\right) \quad (1.32)$$

e poichè per $f_s \rightarrow \infty$, $\tanh\left(\frac{R}{2\pi 8 f_s L}\right) \rightarrow 0$, è possibile sostituire al suo posto lo sviluppo in serie di Taylor nell'intorno dell'origine, di cui consideriamo l'approssimazione al primo termine:

$$\tanh\left(\frac{R}{2\pi 8 f_s L}\right) \approx \frac{R}{2\pi 8 f_s L}. \quad (1.33)$$

Sostituendo (1.33) in (1.32) si ottiene:

$$R_{eq} = \frac{\pi^2}{2}R \approx 4.9R, \quad (1.34)$$

che è il valore minimo di resistenza ottenibile per un convertitore Soft Switched non ideale.

1.3.3 Criteri di scelta fra Hard Switched e Soft Switched

Nelle condizioni di funzionamento ottimale descritte in precedenza, si è ottenuto per l'Hard Switched $R_{FSL} = 4R$ (1.16) mentre per il Soft Switched $R_{FSL} \approx 4.9R$ (1.34).

La scelta fra le due tipologie non è ovvia. In un convertitore Hard Switched si possono ottenere valori di R molto bassi, rispetto ad un equivalente Soft Switched, soprattutto se si considera che anche l'induttanza presenta un valore non trascurabile di resistenza serie. D'altra parte, nei convertitori Hard Switched, le induttanze parassite dei collegamenti e delle capacità provocano un aumento di R_{eq} in alta frequenza, costituendo un limite superiore per la frequenza di commutazione.

Al crescere della potenza del convertitore è necessario aumentare o la dimensione dei condensatori o la frequenza di commutazione. Ma condensatori più grandi avranno induttanze parassite maggiori, diminuendo di conseguenza la massima frequenza di commutazione possibile. In queste situazioni è possibile sfruttare le induttanze parassite o aggiungerne di dimensioni adeguate, in modo da operare in Soft Switching ed ottenere un rendimento maggiore. Tuttavia l'implementazione di questa tipologia risulta molto più impegnativa rispetto i convertitori Hard Switched, poichè è necessario un preciso controllo della frequenza di risonanza per ottenere il funzionamento ottimale.

Non esiste dunque un ben definito criterio di scelta fra le due tipologie, in quanto dipendono entrambe fortemente dai parametri parassiti dei componenti e della realizzazione circuitale stessa.

1.3.4 Lossless

Si è precedentemente dimostrato che utilizzando come alimentazione un generatore di tensione costante è impossibile realizzare un circuito con capacità in commutazione e privo di perdite, anche nell'ipotesi di utilizzare componenti ideali. Per ottenere un convertitore senza perdite (lossless) è necessario utilizzare un

generatore di tensione variabile, facendo in modo che capacità e alimentazione siano allo stesso potenziale ogni volta che vengono messe in contatto.

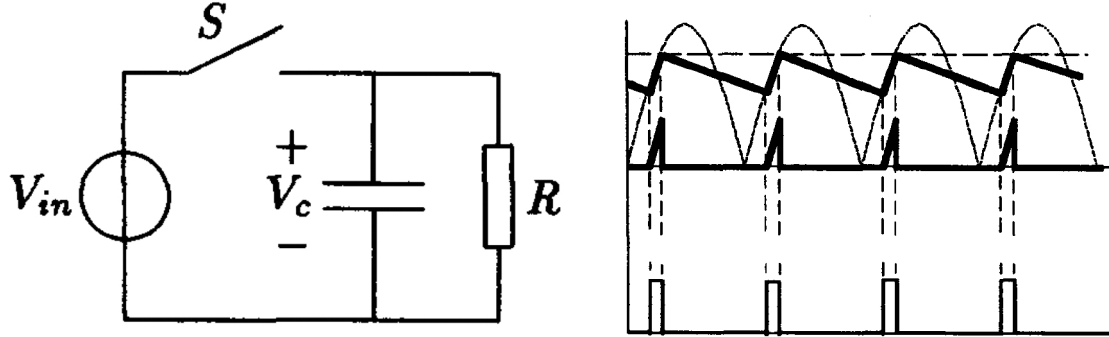


Figura 1.8: Convertitore lossless e forme d'onda.

In Figura 1.8 è riportato un esempio con le relative forme d'onda. Requisito necessario è che la sorgente di tensione variabile abbia, in un periodo, almeno un intervallo $[t_1, t_2]$ in cui l'andamento sia continuo e crescente. Comandando l'interruttore in modo che la conduzione inizi quando $V_c = V_{in}$, non si generano perdite dovute alla carica del condensatore.

Sia $R \rightarrow \infty$, $V_{in}(t) = Vt$ nell'intervallo $[t_1, t_2]$ e si chiuda S nell'istante in cui $V_c = V_{in}$. La corrente di carica del condensatore risulta quindi:

$$i_c(t) = C \frac{dV_c(t)}{dt} = CV = I. \quad (1.35)$$

Sia ora R_d la somma di resistenza in conduzione dell'interruttore ed ESR del condensatore. La potenza dissipata per effetto Joule durante il processo di carica risulta:

$$P_d = R_d I^2. \quad (1.36)$$

Per un convertitore ideale $R_d = 0$ e quindi $P_d = 0$ che comporta un rendimento teorico del 100%.

Questo approccio può essere utilizzato nella realizzazione di convertitori AC/DC. Nell'esempio di Figura 1.8, durante il periodo di carica avviene un collegamento diretto tra alimentazione e carico. Per garantire l'isolamento è possibile utilizzare due condensatori, come in Figura 1.9.

In questo modo, comandando opportunamente gli interruttori, mentre un condensatore viene caricato in parallelo alla sorgente di alimentazione, l'altro mantiene la tensione sul carico [10].

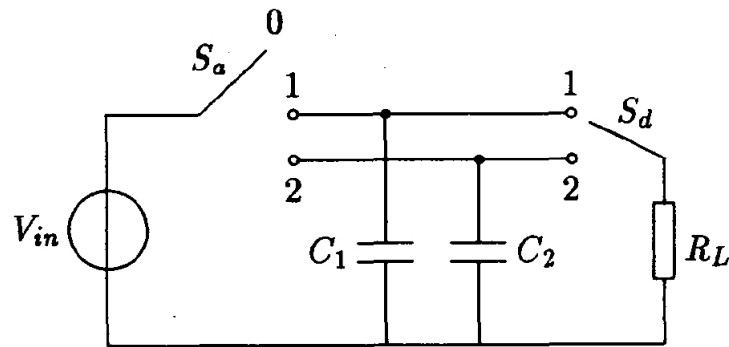


Figura 1.9: Convertitore lossless con isolamento.

1.3.5 Current Pumped

Nei convertitori Hard Switched, Figura 1.10(a), le capacità vengono caricate a tensione costante e corrente non controllata. Durante le commutazioni questo comporta un brusco aumento della tensione di uscita seguito da una diminuzione esponenziale, fino alla commutazione successiva (cfr. Figura 1.3). Questo è l'andamento tipico a dente di sega del ripple sulla tensione di uscita, la cui ampiezza è determinata dalla dimensione del condensatore di uscita che agisce come filtro. Si è inoltre dimostrato che l'andamento esponenziale della corrente di carica delle capacità limita il rendimento dei convertitori Hard Switched.

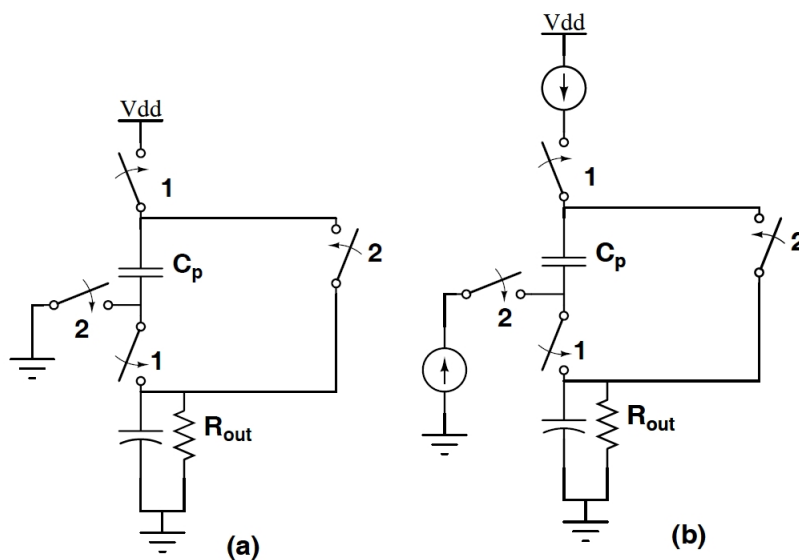


Figura 1.10: Convertitore Hard Switched (a) e Current Pumped (b).

In [11] è stata quindi proposta una nuova tipologia di convertitori a capacità commutata, in cui la corrente attraverso le capacità è controllata tramite generatori di corrente costante. Un esempio di questa tipologia, chiamata Current Pumped, è riportato in Figura 1.10(b). I vantaggi che si ottengono sono i seguenti:

- la carica delle capacità a corrente costante è un processo privo di perdite e perciò il massimo rendimento teorico è del 100%;
- il ripple sulla tensione di uscita è nullo in quanto il prodotto $R_{out}I$ è costante.

Tuttavia in un convertitore reale l'impedenza di uscita dei generatori di corrente non è infinita. Questo causerà di conseguenza del ripple sulla tensione di uscita ed un calo del rendimento. Questa tipologia di convertitori risulta indicata per realizzazioni come circuito integrato, poichè riduce la corrente massima, aumenta il rendimento e diminuisce il ripple di tensione, permettendo l'utilizzo di condensatori di dimensioni inferiori rispetto un'analoga realizzazione Hard Switched. La dimensione del convertitore è infatti determinata principalmente dal valore delle capacità, se realizzato come integrato.

1.3.6 Zero Current/Voltage Switching SMPS

Quest'ultima non è una vera e propria tipologia di convertitori a capacità commutata, ma un'applicazione ai convertitori a commutazione (SMPS). Un circuito a capacità commutate può infatti essere utilizzato nei tradizionali convertitori quasi risonanti a commutazione con corrente o tensione nulla, a posto della capacità di risonanza, con lo scopo di migliorarne il funzionamento.

In Figura 1.11 è riportato lo schema di un convertitore Zero Current Switching (ZCS). Il rapporto di conversione è:

$$M = \frac{f_s}{f_r}, \quad (1.37)$$

dove f_s è la frequenza di commutazione dell'interruttore e $f_r = 1/2\pi\sqrt{L_r C_r}$ è la frequenza di risonanza.

I limiti principali di questa tipologia di convertitori sono:

- il limitato intervallo di regolazione di f_s ;

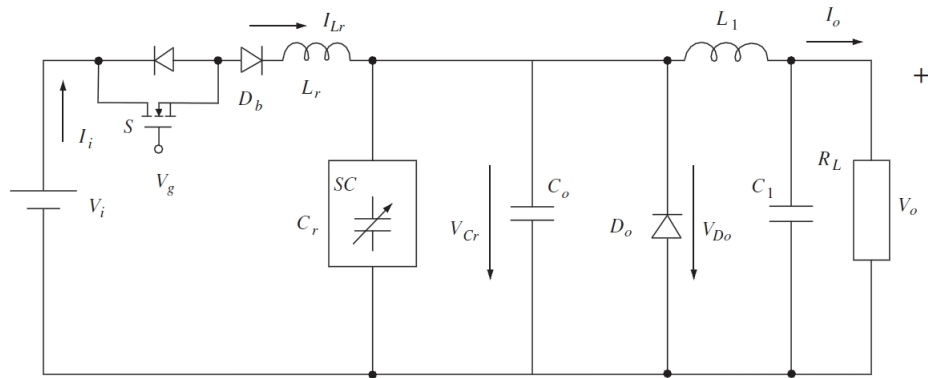
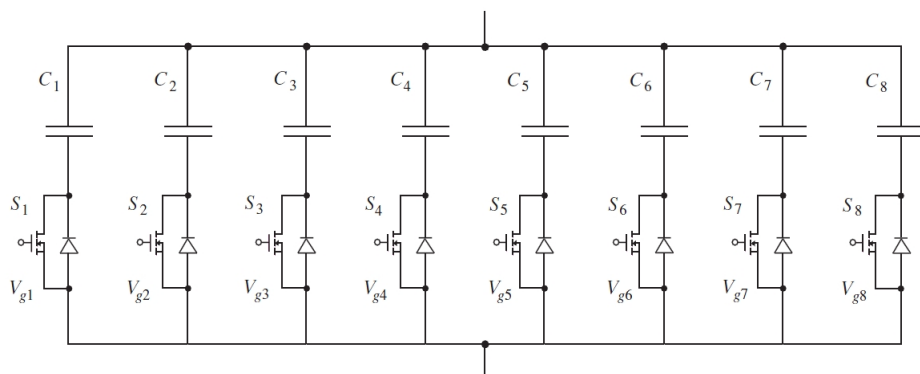


Figura 1.11: Convertitore Zero Current Switching (ZCS).

- la generazione di molti disturbi EMI a causa della frequenza di commutazione variabile.

Introducendo al posto di C_r una circuito a capacità commutata è possibile variare la frequenza di risonanza e quindi aumentare l'intervallo di regolazione del convertitore. Durante un periodo di funzionamento nel convertitore si alternano quattro fasi distinte. Nell'ultima la tensione ai capi di C_r è nulla e perciò questo è l'istante in cui si andrà a commutare la rete di capacità per variare il valore di C_r .

Figura 1.12: Rete equivalente per C_r .

Per la rete di Figura 1.12, a seconda del comando applicato agli interruttori, C_r può assumere 277 valori differenti. Si può quindi fissare una frequenza di commutazione costante, lasciando la regolazione al solo circuito a capacità commutata [12],[13].

Capitolo 2

Convertitori DC/DC Hard Switched

In letteratura si trovano varie topologie per i convertitori DC/DC Hard Switched. In questo capitolo sono riportate e confrontate le topologie classiche, alla base dei convertitori descritti nel capitolo precedente. Queste sono caratterizzate da due fasi distinte in cui la rete di capacità ed interruttori commuta tra due stati differenti, determinando in questo modo il rapporto di conversione. I valori che quest'ultimo può assumere sono esclusivamente quelli permessi dalla topologia scelta. La realizzazione come buck è equivalente a quella boost con ingresso e uscita invertiti, e viceversa. Le differenze principali tra le topologie sono:

- i rapporti di conversione ottenibili;
- il numero di interruttori e condensatori richiesti per realizzare un determinato rapporto di conversione;
- la massima tensione applicata ai condensatori ed interruttori.

2.1 Modello medio generico

Per poter confrontare le diverse topologie per un rapporto di conversione generico è conveniente utilizzare un modello medio di analisi in regime stazionario [14], [15], [16]. Si suppone di utilizzare interruttori ideali, con resistenza in conduzione, e condensatori ideali privi di ESR. La resistenza di uscita del convertitore è determinata dal flusso di carica q_c attraverso le capacità e q_r attraverso gli interruttori. Si definisce il flusso di carica in uscita dal convertitore come:

$$q_{out} = I_{out}/f_s, \quad (2.1)$$

dove I_{out} è la corrente di carico e f_s è la frequenza di commutazione. In un sistema con un ingresso ed un'uscita è possibile esprimere il flusso di carica attraverso ogni condensatore ed interruttore come prodotto fra q_{out} ed un vettore costante, chiamato \mathbf{a}_c per le capacità e \mathbf{a}_r per gli interruttori:

$$\begin{aligned} \mathbf{q}_c^j &= a_c^j q_{out} \\ \mathbf{q}_r^j &= a_r^j q_{out} \end{aligned} \quad j = 1, 2$$

dove j indica la fase in cui si trova il convertitore. I vettori \mathbf{a}_c e \mathbf{a}_r si ricavano osservando il circuito. Come esempio analizziamo il convertitore Series-Parallel con rapporto di conversione 1/3.

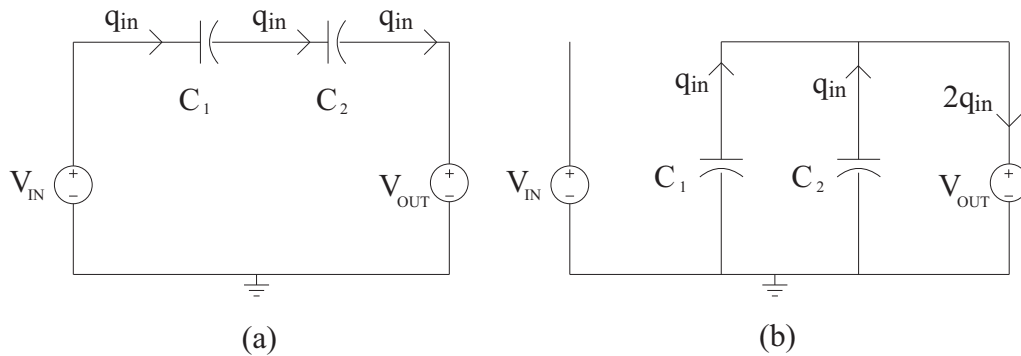


Figura 2.1: Convertitore Series-Parallel con rapporto di conversione 1/3.

Inizialmente si ricava il vettore \mathbf{a}_c , disegnando la rete nelle due fasi, eliminando gli interruttori e trascurando la loro resistenza in conduzione (Figura 2.1). Si osserva che la sorgente di tensione è collegata al circuito solo nella prima fase (a). Si può quindi definire q_{in} il flusso di carica dall'ingresso. A questo punto è possibile ricavare il flusso di carica attraverso le altre capacità. In regime stazionario questi valori sono legati fra loro in quanto per ogni capacità il flusso di carica durante la prima fase deve essere uguale ed opposto a quello della seconda. Per il circuito d'esempio:

$$\begin{aligned}
q_1^1 &= q_2^1 = q_{in}, \\
q_1^2 &= -q_1^1 = -q_{in}, \\
q_2^2 &= -q_2^1 = -q_{in}, \\
q_{out}^1 &= q_{in}, \\
q_{out}^2 &= -q_1^2 - q_2^2 = 2q_{in}.
\end{aligned} \tag{2.2}$$

Si ricava quindi:

$$\begin{aligned}
q_{out} &= q_{out}^1 + q_{out}^2 = 3q_{in}, \\
q_{in} &= q_{out}/3.
\end{aligned} \tag{2.3}$$

Sostituendo in (2.2) $q_{in} = q_{out}/3$ si ricava infine il vettore \mathbf{a}_c :

$$\mathbf{a}_c = \begin{bmatrix} a_{c1}^1 \\ a_{c2}^1 \end{bmatrix} = - \begin{bmatrix} a_{c1}^2 \\ a_{c2}^2 \end{bmatrix} = \begin{bmatrix} 1/3 \\ 1/3 \end{bmatrix}. \tag{2.4}$$

Si ricava quindi il vettore \mathbf{a}_r inserendo nella rete, in entrambe le fasi, gli interruttori chiusi ed osservando la loro posizione. Avendo già calcolato \mathbf{a}_c , dal flusso di carica attraverso le capacità si trova quello attraverso gli interruttori. Un valore negativo di $a_{r,i}$ indica che se l'i-esimo interruttore è disposto in modo da bloccare una tensione positiva in una fase, nell'altra condurrà una corrente negativa. Perciò, se la caduta di tensione è accettabile, è possibile utilizzare un diodo al posto di un interruttore comandato.

$$\mathbf{a}_r = \begin{bmatrix} a_{r1}^1 \\ a_{r2}^2 \\ a_{r3}^1 \\ a_{r4}^2 \\ a_{r5}^1 \\ a_{r6}^2 \\ a_{r7}^2 \end{bmatrix} = \begin{bmatrix} 1/3 \\ -1/3 \\ -1/3 \\ -1/3 \\ -1/3 \\ 1/3 \\ 1/3 \end{bmatrix}. \tag{2.5}$$

2.1.1 Impedenza di uscita nel SSL

Per poter incorporare il flusso di carica in ingresso ed in uscita, definiamo due vettori \mathbf{a}^1 e \mathbf{a}^2 come:

$$\mathbf{a}^1 = \begin{bmatrix} a_{out}^1 \\ \mathbf{a}_c^1 \\ a_{in}^1 \end{bmatrix}, \quad \mathbf{a}^2 = \begin{bmatrix} a_{out}^2 \\ \mathbf{a}_c^2 \\ a_{in}^2 \end{bmatrix}, \tag{2.6}$$

dove $q_{in} = a_{in} q_{out} = (a_{in}^1 + a_{in}^2) q_{out}$ e $a_{out}^1 + a_{out}^2 = 1$.

Per ricavare la R_{SSL} applichiamo il teorema di Tellegen alla rete nelle due fasi. Per tale teorema, in qualsiasi rete, qualunque vettore di tensioni di ramo che soddisfa la legge di Kirchhoff delle tensioni (KVL), è ortogonale a qualunque vettore di correnti di ramo che soddisfa la legge di Kirchhoff delle correnti (KCL). Poichè i vettori \mathbf{a}^1 e \mathbf{a}^2 soddisfano il teorema di Tellegen nelle rispettive fasi, ne segue:

$$\mathbf{a}^j \mathbf{v}^j = 0 \quad j = 1, 2 \quad (2.7)$$

dove j indica la fase e \mathbf{v}^j la tensione ai capi delle capacità e dei generatori di tensione. Consideriamo ingresso e uscita come generatori di tensione indipendenti. Si spegne quindi il generatore d'ingresso, in modo da trovare l'impedenza di uscita come rapporto fra tensione e corrente in uscita. Sommando le due equazioni in (2.7) si ottiene:

$$v_{out}(a_{out}^1 + a_{out}^2) + \sum_i (a_{c,i}^1 v_{c,i}^1 + a_{c,i}^2 v_{c,i}^2) = 0, \quad (2.8)$$

con $a_{out}^1 + a_{out}^2 = 1$ e con $v_{in} = 0$. Definiamo $a_{c,i} = a_{c,i}^1 = -a_{c,i}^2$ e $q_i = a_{c,i} q_{out}$. Procedendo con queste semplificazioni e moltiplicando (2.8) per q_{out} , si ottiene:

$$v_{out} q_{out} + \sum_i q_i \Delta v_i = 0, \quad (2.9)$$

dove $\Delta v_i = v_{c,i}^1 - v_{c,i}^2$. In (2.9) il secondo termine rappresenta le perdite nelle capacità mentre il primo termine rappresenta l'energia fornita dal generatore di tensione. Questa è l'energia dissipata totale in quanto il generatore d'ingresso è spento. Sostituendo in (2.9), $\Delta v_i = q_i / C_i$ e dividendo per q_{out}^2 si ottiene:

$$\frac{v_{out}}{q_{out}} + \sum_i \frac{q_i}{q_{out}} \frac{1}{C_i} = 0. \quad (2.10)$$

Per definizione $a_{c,i} = q_{in} / q_{out}$ e dividendo (2.10) per la frequenza di commutazione f_s si ottiene R_{SSL} :

$$R_{SSL} = -\frac{v_{out}}{i_{out}} = \sum_i \frac{(a_{c,i})^2}{C_i f_s}. \quad (2.11)$$

Questo risultato è in accordo con le conclusioni derivate dall'analisi dettagliata del capitolo precedente. Per frequenze di commutazioni sufficientemente basse,

l'impedenza di uscita non dipende dalle resistenze serie della rete in quanto queste non sono sufficientemente grandi da impedire alle capacità di riequilibrarsi. Questo risultato evidenzia inoltre come le perdite per ogni capacità dipendono dalla differenza di potenziale ai propri capi tra le due fasi, e come l'impedenza di uscita sia data dalla somma di tali perdite.

2.1.2 Impedenza di uscita nel FSL

Nel FSL le resistenze serie del circuito sono sufficientemente grandi da impedire che le capacità raggiungano l'equilibrio. Nella situazione limite si può considerare che siano attraversate da una corrente sempre costante e anche la tensione ai loro capi rimanga costante. Le perdite in questo caso sono quindi associate totalmente agli elementi resistivi della rete, poichè il ripple sulle capacità è nullo. Questo è infatti il risultato ottenuto dall'analisi dettagliata del capitolo precedente.

Si considerino inizialmente solo le resistenze in conduzione degli interruttori e siano le capacità ideali. Sia quindi $D_1 = D$ il duty-cycle nella prima fase e $D_2 = 1 - D$ nella seconda. L' i -esimo interruttore avrà quindi duty-cycle D_i con $i = 1, 2$ a seconda della fase in cui è chiuso. Il vettore \mathbf{a}_r determinato in precedenza è indipendente dal duty-cycle, in quanto rappresenta il flusso di carica attraverso gli interruttori che garantisce la conservazione della carica nelle capacità. Nel FSL la corrente è costante e vale, per l'interruttore i -esimo, quando è chiuso:

$$i_{r,i} = \frac{a_{r,i} q_{out} f_s}{D_i} = \frac{a_{r,i}}{D_i} i_{out}. \quad (2.12)$$

La potenza media dissipata da ogni interruttore è data dalla potenza istantanea moltiplicata per il duty-cycle. Le perdite totali nel circuito sono:

$$P_{FSL} = \sum_i D_i R_i \frac{a_{r,i}}{D_i} i_{out}, \quad (2.13)$$

dove R_i è la resistenza in conduzione dell'interruttore i -esimo. Da (2.13) si ricava infine:

$$R_{FSL} = \frac{P_{FSL}}{i_{out}^2} = \sum_i \frac{R_i (a_{r,i})^2}{D_i}. \quad (2.14)$$

Si osserva che il risultato ottenuto in (1.19) è lo stesso che si ottiene applicando al circuito di Figura 1.4 la (2.14), a meno della resistenza serie equivalente del condensatore. Questa semplificazione permette quindi di ottenere un risultato

generico per R_{FSL} , equivalente a quello che si otterrebbe dall'analisi dettagliata eseguita nel capitolo precedente.

In [16] è condotta successivamente un'ottimizzazione delle capacità e degli interruttori volta a minimizzare (2.11) e (2.14). Definito $C_{tot} = \sum_k C_k$, dove k è il numero dei condensatori, il valore ottimale per il condensatore i -esimo risulta:

$$C_i = \frac{|a_{c,i}|}{\sum_k |a_{c,k}|} C_{tot}. \quad (2.15)$$

Si rende quindi ogni capacità proporzionale al suo coefficiente di carica in modo ognuna abbia il medesimo ripple di tensione. Questo comporta una distribuzione uguale delle perdite fra tutte le capacità. Il valore minimo ottenibile per (2.11) risulta:

$$R_{SSL} = \frac{1}{C_{tot} f_s} \left(\sum_k a_{c,k} \right)^2. \quad (2.16)$$

Per gli interruttori si definisce $G_{tot} = \sum_j G_j$, dove j è il loro numero totale e G_j è la conduttanza dell'interruttore j -esimo quando è chiuso. Per l'interruttore j -esimo il valore ottimale risulta:

$$G_i = \frac{|a_{r,i}|}{\sum_j |a_{r,j}|} G_{tot}. \quad (2.17)$$

Si rende quindi ogni conduttanza proporzionale al suo coefficiente di carica, in modo che ogni interruttore generi la stessa caduta in conduzione. Il valore minimo ottenibile per (2.14) risulta:

$$R_{FSL} = \frac{2}{G_{tot}} \left(\sum_j a_{r,j} \right)^2, \quad (2.18)$$

dove si è considerato di operare sempre con duty-cycle al 50% per semplificare l'analisi. Il duty-cycle ottimale è infatti attorno a questo valore se si considera che entrambe le fasi abbiano approssimativamente lo stesso numero di interruttori e gli stessi valori dei coefficienti $a_{r,j}$. Si sono ottenute due espressioni per i valori limite della resistenza di uscita dipendenti da C_{tot} e G_{tot} , da cui dipendono le dimensioni e il costo del convertitore.

Nei paragrafi successivi si sono ricavate le espressioni di R_{SSL} e R_{FSL} per le principali topologie di convertitori DC/DC Hard Switched. L'analisi è effettuata per la tipologia boost. I convertitori di tipo buck si realizzano scambiando ingresso ed uscita. I risultati ottenuti per i convertitori boost con rapporto di

conversione n corrispondono pertanto agli equivalenti buck con rapporto di conversione $1/n$. Le componenti dei vettori \mathbf{a}_c e \mathbf{a}_r sono indicate in modulo in quanto non interessa il segno per il calcolo di R_{SSL} e R_{FSL} .

Soprattutto per ampi rapporti di conversione, è importante considerare anche la massima tensione a cui è sottoposto ogni componente nel circuito. In topologie come la Fibonacci e la Doubler si osserva che la tensione sulle capacità cresce come il rapporto di conversione. Si è tuttavia assunto un unico valore di tensione nominale per tutti i componenti, poichè l'applicazione prevista sarà realizzata con componenti discreti e a bassa tensione. Di conseguenza la tensione nominale dei componenti non costituisce un vincolo per il progetto in quanto sarà sempre superiore al valore delle tensioni presenti nel circuito. Questo confronto può essere inoltre d'interesse per realizzazioni come circuito integrato nelle quali solitamente sono disponibili solo alcuni livelli di tensione per i componenti.

2.2 Ladder

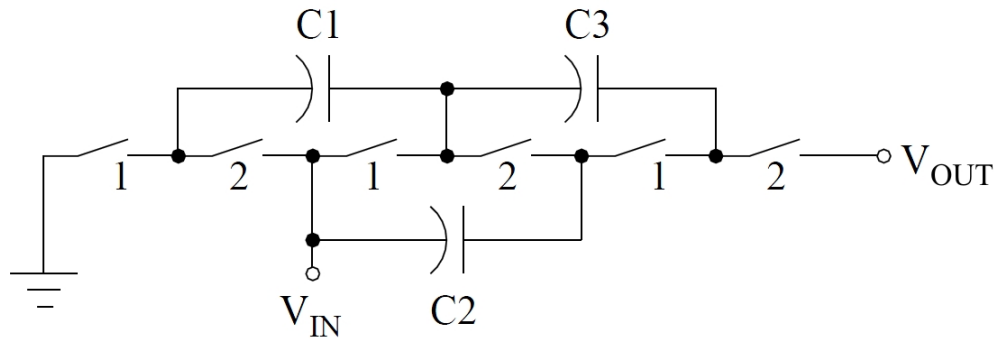


Figura 2.2: Convertitore di tipo Ladder.

La topologia Ladder (Figura 2.2) è basata su due rami di condensatori. Il primo ramo, costituito da C1 e C3, collega l'ingresso all'uscita e le capacità presenti mantengono il potenziale ai nodi a multipli interi della tensione di ingresso. Il secondo ramo, costituito da C2, trasporta la carica tra i condensatori del primo ramo, mantenendone costante il potenziale. Con questa topologia possono essere realizzati rapporti di conversione:

$$n : \{n \geq 2, n \in \mathbb{N}^+\}. \quad (2.19)$$

Dato il rapporto di conversione n , per realizzarlo sono necessari $2n - 3$ condensatori volanti e $2n$ interruttori. Dall'osservazione del circuito si ricavano i vettori \mathbf{a}_c e \mathbf{a}_r :

$$\mathbf{a}_c = \begin{bmatrix} (n-1) & (n-2) & (n-2) & \dots & 2 & 2 & 1 & 1 \end{bmatrix}^T, \quad (2.20)$$

$$\mathbf{a}_r = \begin{bmatrix} 2 & 2 & 1 & 1 & 1 & \dots \end{bmatrix}^T. \quad (2.21)$$

Si ricava quindi la somma delle componenti di questi vettori:

$$\sum_k a_{c,k} = (n-1)^2, \quad (2.22)$$

$$\sum_j a_{r,j} = 4(n-1). \quad (2.23)$$

Sostituendo (2.22) e (2.23) rispettivamente in (2.16) e (2.18) si ottiene:

$$R_{SSL} = \frac{(n-1)^4}{C_{tot} f_s}, \quad (2.24)$$

$$R_{FSL} = \frac{32(n-1)^2}{G_{tot}}. \quad (2.25)$$

2.3 Dickson

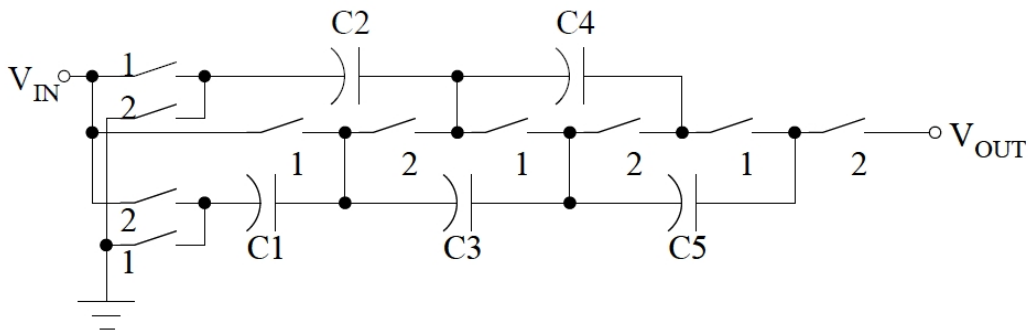


Figura 2.3: Convertitore di tipo Dickson.

La topologia Dickson, Figura 2.3, possiede una struttura simile alla Ladder, ma in questo caso entrambi i rami si muovono rispetto al riferimento. Questo

comporta che la tensione ai capi di ogni capacità, a parte C1, sia due volte quella di ingresso. Con questa topologia possono quindi essere realizzati rapporti di conversione:

$$n : \{n > 2, n \in \mathbb{N}^+\}. \quad (2.26)$$

Per il rapporto di conversione $n = 2$ la topologia diventa identica alla Ladder. Dato il rapporto di conversione $n > 2$, per realizzarlo sono necessari $n - 1$ condensatori e $n + 4$ interruttori. Dall'osservazione del circuito si ricavano i vettori \mathbf{a}_c e \mathbf{a}_r :

$$\mathbf{a}_c = \left[\left\lfloor \frac{n}{2} \right\rfloor \quad \dots \quad 2 \quad 2 \quad 1 \quad 1 \right]^T, \quad (2.27)$$

$$\mathbf{a}_r = \left[\left\lfloor \frac{n}{2} \right\rfloor \quad \left\lfloor \frac{n}{2} \right\rfloor \quad \left\lfloor \frac{n-1}{2} \right\rfloor \quad \left\lfloor \frac{n-1}{2} \right\rfloor \quad 1 \quad 1 \quad 1 \quad \dots \right]^T, \quad (2.28)$$

dove si è indicato con $\text{floor}(x) = \lfloor x \rfloor$ la funzione parte intera di x , ossia $\lfloor x \rfloor$ è il più grande intero minore od uguale ad x . Si ricava quindi la somma delle componenti di questi vettori:

$$\sum_k a_{c,k} = \left\lfloor \frac{n^2}{4} \right\rfloor, \quad (2.29)$$

$$\sum_j a_{r,j} = 3n - 2. \quad (2.30)$$

Sostituendo (2.22) e (2.23) rispettivamente in (2.16) e (2.18) si ottiene:

$$R_{SSL} = \left(\left\lfloor \frac{n^2}{4} \right\rfloor \right)^2 \frac{1}{C_{tot} f_s} \approx \frac{n^4}{16 C_{tot} f_s}, \quad (2.31)$$

$$R_{FSL} = \frac{2(3n - 2)^2}{G_{tot}}. \quad (2.32)$$

2.4 Fibonacci

La topologia Fibonacci realizza il rapporto di conversione maggiore dato un numero k di condensatori volanti. Con questa topologia possono essere realizzati rapporti di conversione:

$$n : \{n \geq 2, n = F_{k+2}, k \in \mathbb{N}^+\}, \quad (2.33)$$

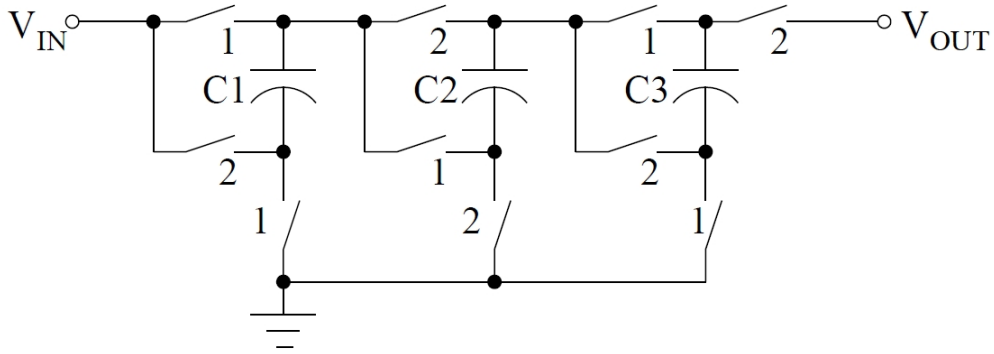


Figura 2.4: Convertitore di tipo Fibonacci.

dove F_k è il k -esimo numero della sequenza di Fibonacci:

$$F_k = \{1, 1, 2, 3, 5, 8, 13, 21, 34, 55 \dots\}. \quad (2.34)$$

Dato il rapporto di conversione $n = F_{k+2}$, per realizzarlo sono necessari k condensatori volanti e $3k+1$ interruttori. Dall'osservazione del circuito si ricavano i vettori \mathbf{a}_c e \mathbf{a}_r :

$$\mathbf{a}_c = \begin{bmatrix} F_k & \dots & 2 & 1 & 1 \end{bmatrix}^T, \quad (2.35)$$

$$\mathbf{a}_r = \begin{bmatrix} F_{k+1} & F_k & F_k & F_k & \dots & 1 & 1 & 1 \end{bmatrix}^T. \quad (2.36)$$

Si ricava quindi la somma delle componenti di questi vettori:

$$\sum_k a_{c,k} = F_{k+2} - 1, \quad (2.37)$$

$$\sum_j a_{r,j} = 3(F_{k+2} - 1) + F_{k+1}. \quad (2.38)$$

Sostituendo (2.37) e (2.38) rispettivamente in (2.16) e (2.18) si ottiene:

$$R_{SSL} = \frac{(F_{k+2} - 1)^2}{C_{tot} f_s}, \quad (2.39)$$

$$R_{FSL} = \frac{2[3(F_{k+2} - 1) + F_{k+1}]^2}{G_{tot}}. \quad (2.40)$$

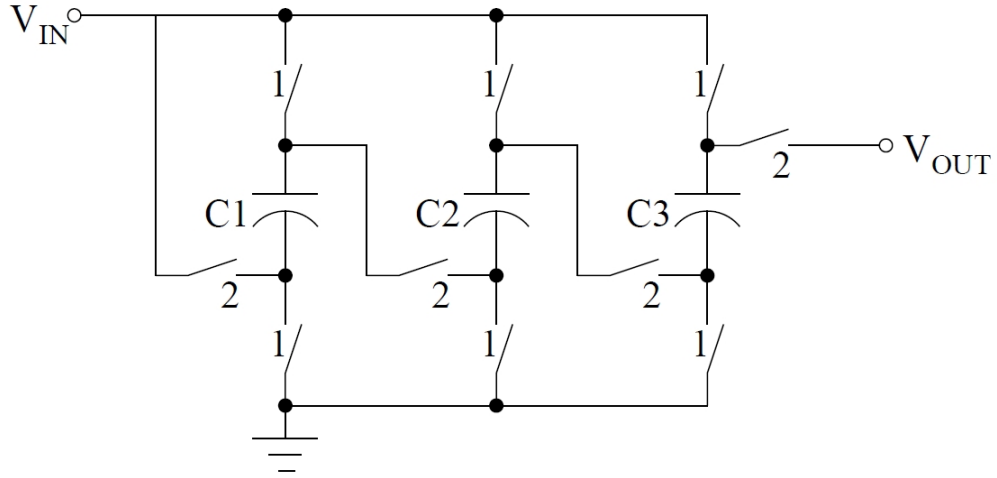


Figura 2.5: Convertitore di tipo Series-Parallel.

2.5 Series-Parallel

La topologia Series-Parallel (Figura 2.5) è caratterizzata dalla disposizione in parallelo all'uscita delle capacità volanti durante la prima fase. Nella seconda fase invece queste sono connesse in serie tra ingresso e uscita. Con questa topologia possono essere realizzati rapporti di conversione:

$$n : \{n \geq 2, n \in \mathbb{N}^+\}. \quad (2.41)$$

Dato il rapporto di conversione n , per realizzarlo sono necessari $n - 1$ condensatori volanti e $3n - 2$ interruttori. Dall'osservazione del circuito si ricavano i vettori \mathbf{a}_c e \mathbf{a}_r :

$$\mathbf{a}_c = \begin{bmatrix} 1 & 1 & 1 & \dots \end{bmatrix}^T, \quad (2.42)$$

$$\mathbf{a}_r = \begin{bmatrix} 1 & 1 & 1 & \dots \end{bmatrix}^T. \quad (2.43)$$

Si ricava quindi la somma delle componenti di questi vettori:

$$\sum_k a_{c,k} = n - 1, \quad (2.44)$$

$$\sum_j a_{r,j} = 3n - 2. \quad (2.45)$$

Sostituendo (2.44) e (2.45) rispettivamente in (2.16) e (2.18) si ottiene:

$$R_{SSL} = \frac{(n-1)^2}{C_{tot}f_s}, \quad (2.46)$$

$$R_{FSL} = \frac{2(3n-2)^2}{G_{tot}}. \quad (2.47)$$

2.6 Doubler

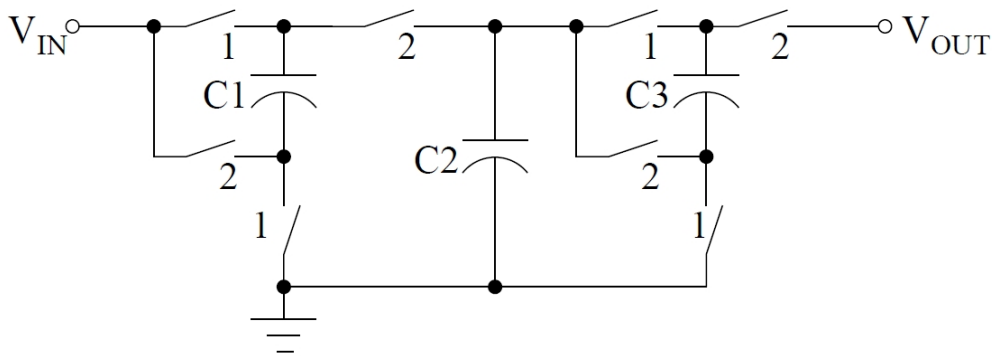


Figura 2.6: Convertitore di tipo Doubler.

La topologia Doubler è composta da uno o più stadi che raddoppiano la loro tensione in ingresso. Il convertitore di Figura 2.6 è composto ad esempio da due stadi. Per ogni stadio sono necessari due condensatori e quattro interruttori. Con questa topologia possono essere realizzati rapporti di conversione:

$$n : \{n \geq 2, n = 2^k, k \in \mathbb{N}^+\}. \quad (2.48)$$

Dato il rapporto di conversione n , per realizzarlo sono necessari $2k-1$ condensatori volanti e $4k$ interruttori. Dall'osservazione del circuito si ricavano i vettori \mathbf{a}_c e \mathbf{a}_r :

$$\mathbf{a}_c = \begin{bmatrix} 2^{k-1} & 2^{k-2} & 2^{k-2} & \dots & 2 & 2 & 1 & 1 \end{bmatrix}^T, \quad (2.49)$$

$$\mathbf{a}_r = \begin{bmatrix} 2^{k-1} & 2^{k-1} & 2^{k-1} & 2^{k-1} & \dots & 1 & 1 & 1 & 1 \end{bmatrix}^T. \quad (2.50)$$

Si ricava quindi la somma delle componenti di questi vettori:

$$\sum_k a_{c,k} = \frac{3}{2}n - 2, \quad (2.51)$$

$$\sum_j a_{r,j} = 4(n - 1). \quad (2.52)$$

Sostituendo (2.51) e (2.52) rispettivamente in (2.16) e (2.18) si ottiene:

$$R_{SSL} = \frac{(3n - 4)^2}{4C_{tot}f_s}, \quad (2.53)$$

$$R_{FSL} = \frac{32(n - 1)^2}{G_{tot}}. \quad (2.54)$$

2.7 Confronto tra le topologie

Per poter confrontare queste topologie è necessario definire prima un criterio, dipendente dal tipo di applicazione voluta. Si vogliono realizzare tre convertitori di tipo buck con componenti discreti, tensione di alimentazione di 3.3V e rapporti di conversione 1/2, 1/3 e 2/3. Si può quindi considerare di trovarsi sempre al di sotto della minima tensione nominale dei componenti utilizzati. Questa non risulta perciò un parametro necessario ed è quindi possibile considerarla come una costante. Sono invece importanti il numero di componenti utilizzati e la loro dimensione, poichè determinano la dimensione del convertitore. Per le capacità la dimensione è legata al proprio valore mentre per gli interruttori dipende da G_{tot} . Consideriamo quindi per tutti i convertitori lo stesso valore di C_{tot} , G_{tot} e f_s , in modo da confrontare i valori d'impedenza di uscita per convertitori di pari dimensioni e frequenza di commutazione. Si ridefiniscono quindi la (2.16) e (2.18) normalizzate rispetto tali parametri:

$$R_{SSL}^N = R_{SSL}C_{tot}f_s = \left(\sum_k a_{c,k} \right)^2, \quad (2.55)$$

$$R_{FSL}^N = R_{FSL}G_{tot} = \left(\sum_j a_{r,j} \right)^2. \quad (2.56)$$

In Figura 2.7 e in Figura 2.8 sono riportati i valori calcolati per (2.55) e (2.56) per le topologie di convertitori descritti precedentemente, per valori crescenti del

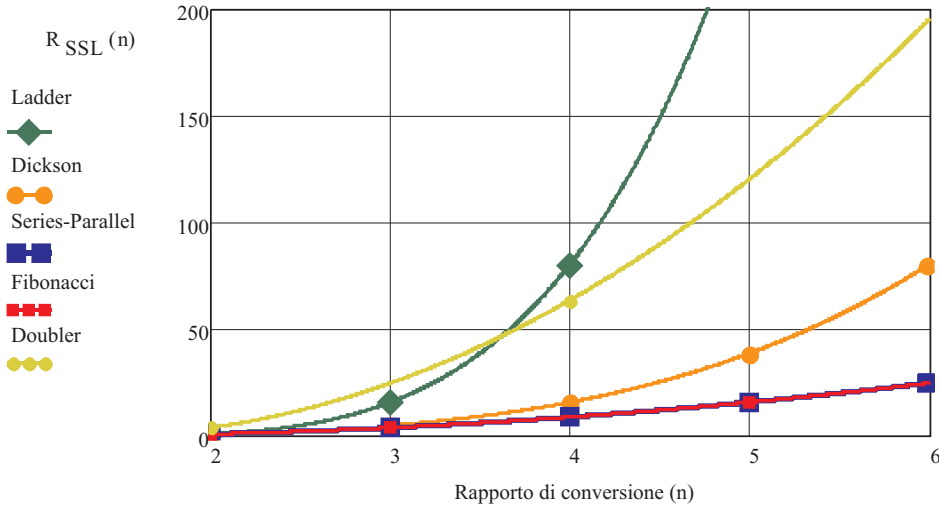


Figura 2.7: Andamento di R_{SSL}^N in funzione del rapporto di conversione n .

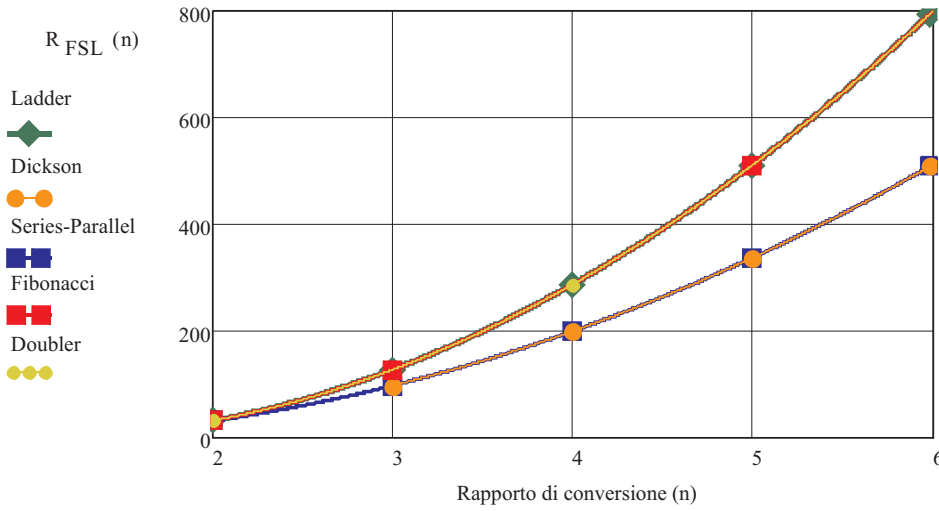


Figura 2.8: Andamento di R_{FSL}^N in funzione del rapporto di conversione n .

rapporto di conversione n . Nella Tabella 2.1 i convertitori sono confrontati in base al numero di componenti ed al rapporto di conversione.

Il modello per la topologia Dickson è valido a partire da $n = 3$. Per $n = 2$ si osserva che tutte le realizzazioni sono topologicamente identiche mentre, al crescere del rapporto di conversione, la topologia Fibonacci richiede il minimo numero di componenti [17],[18]. Tuttavia questa topologia, come la Doubler, è

caratterizzata da un numero limitato di rapporti di conversione. La topologia Series-Parallel invece è caratterizzata dai valori di R_{SSL} e R_{FSL} minimi al crescere del rapporto di conversione. In base all'applicazione ed al tipo di controllo utilizzato, come si vedrà in seguito, il convertitore può inoltre operare nel FSL o nel SSL. Infine, si ricorda che in questo confronto non è stata considerata la tensione a cui sono sottoposti i componenti.

In generale non esiste quindi una scelta univoca ma, a seconda della realizzazione prevista, è necessario valutare quale sia la miglior topologia da utilizzare. Per l'applicazione prevista in questa tesi la topologia Series-Parallel risulta la più indicata. Nel capitolo successivo si spiegherà inoltre come realizzare il rapporto di conversione $2/3$.

Topologia	Ladder	Dickson	Fibonacci	Series-Parallel	Doubler
Rapporto di conversione	n	n	F_{k+2}	n	2^k
Condensatori necessari	$2n - 3$	$n - 1$	k	$n - 1$	$2k - 1$
Interruttori necessari	$2n$	$n + 4$	$3k + 1$	$3n - 2$	$4k$

Tabella 2.1: Confronto fra le topologie di convertitori Hard Switched DC/DC.

Capitolo 3

Modello topologia Series-Parallel

In questo capitolo si ricavano i modelli dei convertitori che verranno in seguito realizzati. Dal modello più semplice, ossia per il convertitore con rapporto di conversione $1/2$, si ricava inoltre il modello generico di un convertitore di tipo Series-Parallel con rapporto di conversione qualsiasi. La trattazione eseguita può essere estesa alle altre topologie di convertitori a capacità commutata di tipo Hard Switched DC/DC [19],[20],[21].

3.1 Modello convertitore $1/2$

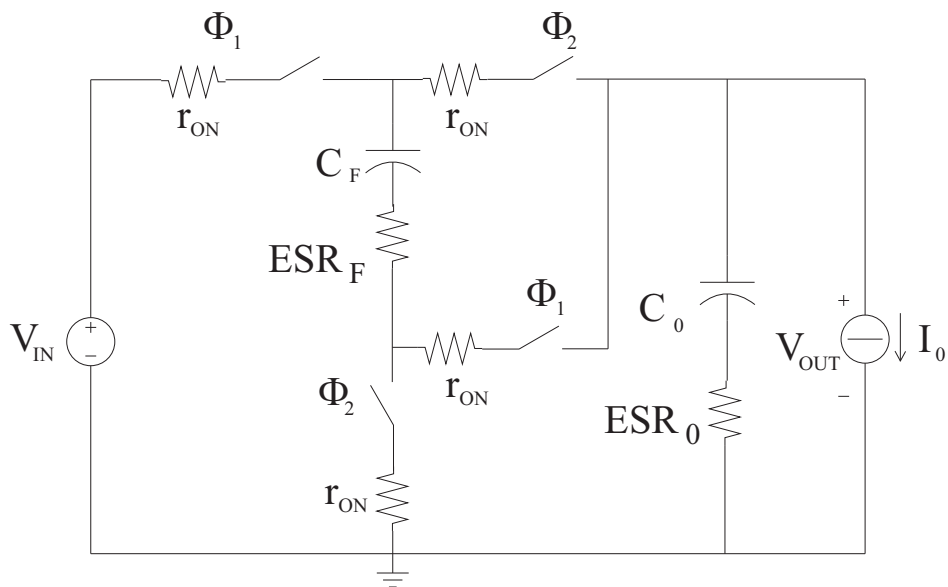


Figura 3.1: Convertitore con rapporto di conversione $1/2$.

In Figura 3.1 è riportato lo schema del convertitore con rapporto di conversione $1/2$ realizzato. La resistenza in conduzione degli interruttori è indicata come r_{ON} poichè si utilizzerà un solo tipo di interruttore. Nel circuito sono inoltre riportate le resistenze serie equivalenti dei condensatori, le quali possono avere valori paragonabili alle resistenze serie degli interruttori, e quindi influenzare il rendimento del convertitore. Queste sono lasciate distinte in quanto a seconda del tipo e del valore dei condensatori utilizzati, il loro valore può variare notevolmente.

Si vuole ora studiare l'andamento in regime stazionario della tensione di uscita nelle condizioni nominali di carico e tensione di ingresso.

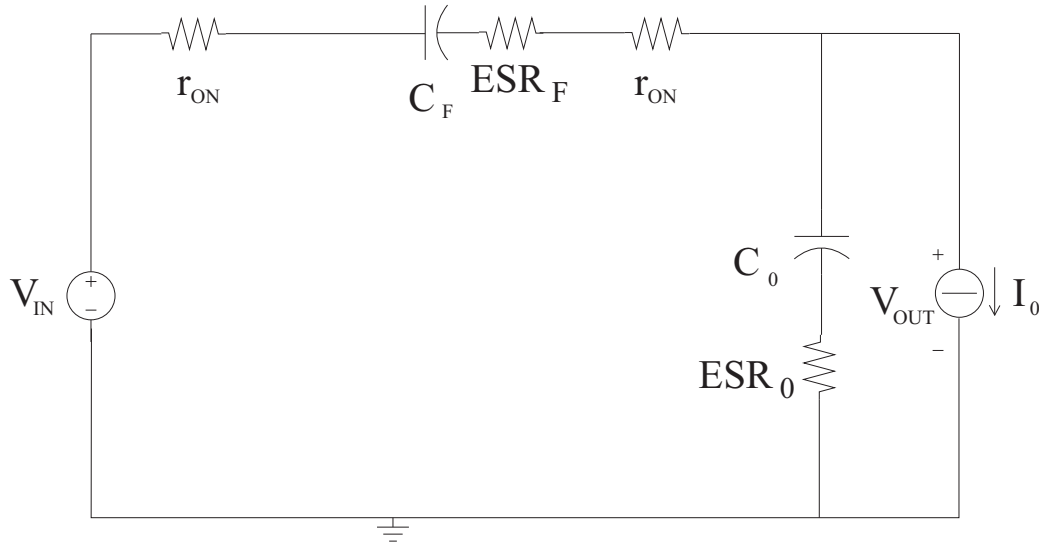


Figura 3.2: Topologia assunta nella fase Φ_1 .

In Figura 3.2 è rappresentata la topologia assunta dal circuito nella prima fase, Φ_1 . Applicando la KCL al nodo di uscita si ottiene:

$$I_0 = -i_{C_0}(t) + i_{C_F}(t) = -C_0 \dot{V}_{C_0}(t) + C_F \dot{V}_{C_F}(t). \quad (3.1)$$

Applicando la KVL alle due maglie del circuito si ottiene:

$$V_{OUT} = i_{C_0}(t) ESR_0 + V_{C_0}(t) = V_{IN} - V_{C_F}(t) - i_{C_F}(t)(2r_{ON} + ESR_F). \quad (3.2)$$

Dalle (3.1) e (3.2), risolvendo per le variabili di stato $V_{C_0}(t)$ e $V_{C_F}(t)$, si ricavano le equazioni di stato per il sistema nella fase Φ_1 :

$$\Phi_1 : \begin{cases} \dot{V}_{C0}(t) = -p_1 V_{C0}(t) - p_1 V_{CF}(t) + p_1 V_{IN} - p_1 I_0 (2r_{ON} + ESR_F) \\ \dot{V}_{CF}(t) = -p_2 V_{C0}(t) - p_2 V_{CF}(t) + p_2 V_{IN} + p_2 I_0 ESR_0 \end{cases}, \quad (3.3)$$

dove

$$p_1 = \frac{1}{C_0(ESR_0 + ESR_F + 2r_{ON})}, \quad (3.4)$$

$$p_2 = \frac{1}{C_F(ESR_0 + ESR_F + 2r_{ON})}. \quad (3.5)$$

L'equazione di uscita del sistema si ricava esplicitando $V_{OUT}(t)$ in funzione delle variabili di stato. Dalla Figura 3.2:

$$\begin{aligned} V_{OUT}(t) &= V_{C0}(t) + ESR_0 \left(-I_0 + \frac{V_{IN} - V_{OUT}(t) - V_{CF}(t)}{2r_{ON} + ESR_F} \right) \\ &= \frac{2r_{ON} + ESR_F}{2r_{ON} + ESR_F + ESR_0} V_{C0}(t) - \\ &\quad \frac{ESR_0}{2r_{ON} + ESR_F + ESR_0} V_{CF}(t) + \\ &\quad \frac{ESR_0}{2r_{ON} + ESR_F + ESR_0} [V_{IN} - I_0(ESR_F + 2r_{ON})]. \end{aligned} \quad (3.6)$$

Si può quindi passare alla rappresentazione matriciale del sistema, definita nel modo seguente:

$$\begin{cases} \dot{x} = F_1 x + G_1 u \\ y = H_1 x + J_1 u \end{cases}. \quad (3.7)$$

$$\text{Variabili di stato: } x = \begin{bmatrix} V_{C0}(t) \\ V_{CF}(t) \end{bmatrix}. \quad \text{Ingressi: } u = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix}.$$

$$F_1 = \begin{bmatrix} -p_1 & -p_1 \\ -p_2 & -p_2 \end{bmatrix}, \quad G_1 = \begin{bmatrix} p_1 & -p_1 R_F \\ p_2 & p_2 ESR_0 \end{bmatrix},$$

$$H_1 = \begin{bmatrix} \frac{R_F}{R_S} & -\frac{ESR_0}{R_S} \end{bmatrix}, \quad J_1 = \begin{bmatrix} \frac{ESR_0}{R_S} & -\frac{ESR_0 R_F}{R_S} \end{bmatrix},$$

dove si è indicato:

$$R_F = ESR_F + 2r_{ON},$$

$$R_S = R_F + ESR_0.$$

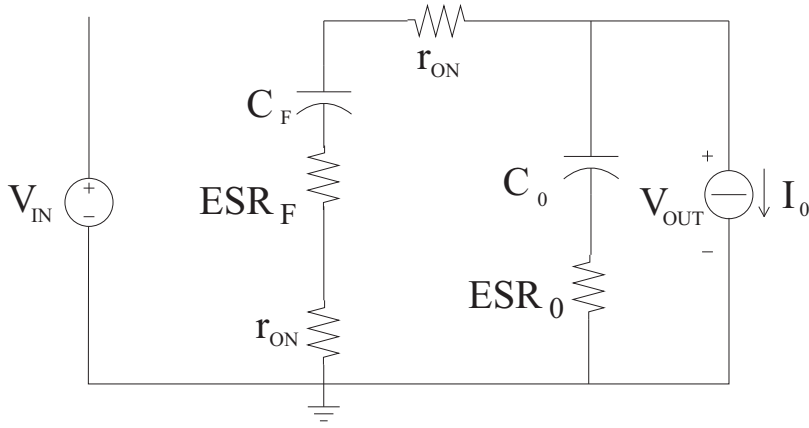


Figura 3.3: Topologia assunta nella fase Φ_2 .

Nella seconda fase, Φ_2 , il circuito assume la topologia rappresentata in Figura 3.3. Procedendo in modo analogo al precedente, la rappresentazione matriciale del sistema nella seconda fase risulta:

$$\begin{cases} \dot{x} = F_2 x + G_2 u \\ y = H_2 x + J_2 u \end{cases} \quad (3.8)$$

$$F_2 = \begin{bmatrix} -p_1 & p_1 \\ p_2 & -p_2 \end{bmatrix}, \quad G_2 = \begin{bmatrix} 0 & -p_1 R_F \\ 0 & -p_2 ESR_0 \end{bmatrix},$$

$$H_2 = \begin{bmatrix} \frac{R_F}{R_S} & \frac{ESR_0}{R_S} \end{bmatrix}, \quad J_2 = \begin{bmatrix} 0 & -\frac{ESR_0 R_F}{R_S} \end{bmatrix}.$$

3.1.1 Modello medio

Calcoliamo il valore medio in regime stazionario dell'uscita e quindi la resistenza equivalente del convertitore. Il sistema mediato nel periodo di commutazione è:

$$\begin{cases} \dot{\bar{x}} = [DF_1 + (1-D)F_2]\bar{x} + [DG_1 + (1-D)G_2]\bar{u} = \bar{F} \cdot \bar{x} + \bar{G} \cdot \bar{u} \\ \dot{\bar{y}} = [DH_1 + (1-D)H_2]\bar{u} + [DJ_1 + (1-D)J_2]\bar{u} = \bar{H} \cdot \bar{x} + \bar{J} \cdot \bar{u} \end{cases} \quad (3.9)$$

Imponiamo in (3.9) la condizione di regime stazionario:

$$\dot{\bar{x}} = 0 \quad (3.10)$$

ottenendo quindi:

$$\overline{V_{C0}} = \frac{V_{IN}}{2} - I_0 \left[\frac{(1-2D)^2}{4D(1-D)} R_S + R_F \right], \quad (3.11)$$

$$\overline{V_{CF}} = \frac{V_{IN}}{2} - I_0 \left[\frac{(1-2D)}{4D(1-D)} R_S \right], \quad (3.12)$$

$$\overline{V_{OUT}} = \frac{V_{IN}}{2} - I_0 \left[\frac{(1-2D)^2}{4D(1-D)} R_S + R_F \right]. \quad (3.13)$$

La tensione media di uscita del convertitore differisce quindi dal valore ideale pari a $V_{IN}/2$ di un termine direttamente proporzionale alla corrente di carico. Il modello equivalente del convertitore è quindi quello di un generatore reale di tensione con una resistenza di uscita:

$$R_{eq} = \frac{(1-2D)^2}{4D(1-D)} R_S + R_F. \quad (3.14)$$

In Figura 3.4 è riportato l'andamento di (3.14) al variare del duty-cycle. Si osservano i seguenti punti:

- la minima resistenza di uscita si ottiene per $D = 0.5$;
- il valore di R_{eq} è determinato principalmente da R_F , somma delle resistenze del ramo in commutazione;
- per $D > 0.5$ la pendenza della curva si inverte e la resistenza di uscita inizia a crescere.

Sarà quindi necessario minimizzare R_F per aumentare il rendimento del convertitore, utilizzando condensatori a bassa ESR, interruttori con bassa resistenza in conduzione e rendendo prioritaria la disposizione dei collegamenti di questo ramo. Infine, si osserva che, volendo regolare la tensione di uscita tramite controllo

del duty-cycle, per $D > 0.5$ il sistema diventerà instabile. Al crescere della corrente di carico, il controllo aumenterà il duty-cycle per diminuire R_{eq} e mantenere la tensione di uscita costante. Per $D > 0.5$ invece, invertendosi la pendenza della curva, all'aumento del duty-cycle il sistema risponderà diminuendo ulteriormente la tensione di uscita.

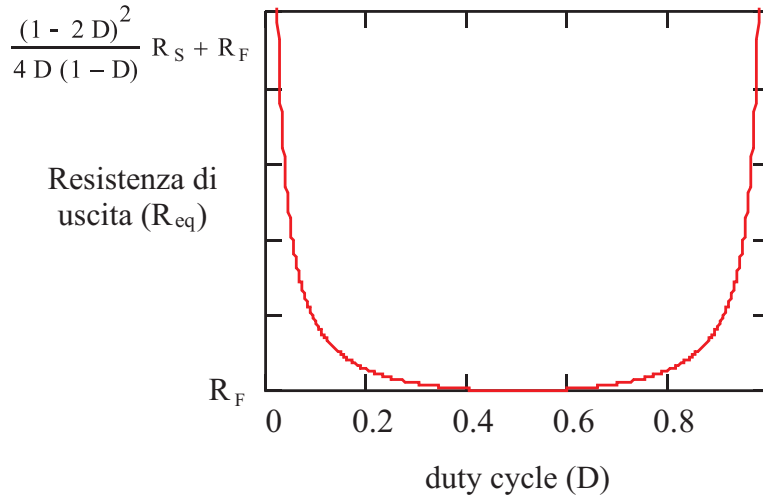


Figura 3.4: Andamento della resistenza di uscita al variare del duty-cycle.

3.1.2 Evoluzione temporale dello stato e dell'uscita in regime stazionario

Ricaviamo l'andamento temporale della tensione di uscita in regime stazionario, in modo da poter studiare il ripple attorno al valor medio. Per le due fasi del sistema si trovano gli autovalori, la matrice esponenziale e quindi le equazioni di stato e di uscita, in funzione delle condizioni iniziali. Nell'istante di commutazione il valore dello stato per entrambe le fasi coincide, poichè lo stato finale in una fase è lo stato iniziale della successiva. In regime stazionario questi valori sono costanti. Imponendo questa condizione alle equazioni di stato, si ricavano gli stati iniziali del sistema nelle due fasi.

Gli autovalori del sistema nella prima fase, λ_1 e λ_2 sono le soluzioni dell'equazione di secondo grado in λ :

$$\det[\lambda I - F_1] = 0. \quad (3.15)$$

$$\lambda_1 = 0 \quad , \quad \lambda_2 = -(p_1 + p_2). \quad (3.16)$$

La matrice esponenziale risulta:

$$e^{F_1 t} = T_1 \begin{bmatrix} 1 & 0 \\ 0 & e^{-(p_1+p_2)t} \end{bmatrix} T_1^{-1} \quad \text{con} \quad T_1 = \begin{bmatrix} 1 & 1 \\ -1 & \frac{p_2}{p_1} \end{bmatrix}, \quad (3.17)$$

dove T_1 è la matrice di cambiamento di base. Le equazioni matriciali che descrivono l'evoluzione dello stato e dell'uscita del sistema nella prima fase sono:

$$x_1(t) = e^{F_1 t} X_{01} + \int_0^t e^{F_1(t-s)} G_1 u(s) ds, \quad (3.18)$$

$$y_1(t) = H_1 e^{F_1 t} X_{01} + \int_0^t H_1 e^{F_1(t-s)} G_1 u(s) ds + J_1 u(t), \quad (3.19)$$

$$x_1(t) = \begin{bmatrix} V_{C01}(t) \\ V_{CF1}(t) \end{bmatrix}, \quad y_1(t) = [V_{OUT1}(t)], \quad u(t) = \begin{bmatrix} V_{IN} \\ I_{OUT} \end{bmatrix}, \quad X_{01} = \begin{bmatrix} j \\ k \end{bmatrix},$$

dove si è indicato con $x_1(t)$ lo stato, con $y_1(t)$ l'uscita e con X_{01} lo stato iniziale, per la prima fase. Quest'ultimo è composto da j e k che sono rispettivamente gli stati iniziali delle due variabili di stato $V_{C01}(t)$ e $V_{CF1}(t)$. L'ingresso $u(t)$ è costante in quanto in regime stazionario. Risolvendo le (3.18), (3.19) in modo esplicito:

$$V_{C01}(t) = \frac{jp_2 - kp_1}{p_1 + p_2} + \frac{p_1 q_1 + p_1 q_2}{(p_1 + p_2)^2} + \frac{p_2 q_1 - p_1 q_2}{p_1 + p_2} t + \frac{1}{p_1 + p_2} \left[p_1(j + k) - \frac{p_1 q_1 + p_1 q_2}{p_1 + p_2} \right] e^{-(p_1+p_2)t}, \quad (3.20)$$

$$V_{CF1}(t) = \frac{-jp_2 + kp_1}{p_1 + p_2} + \frac{p_2 q_1 + p_2 q_2}{(p_1 + p_2)^2} + \frac{p_1 q_2 - p_2 q_1}{p_1 + p_2} t + \frac{1}{p_1 + p_2} \left[p_2(j + k) - \frac{p_2 q_1 + p_2 q_2}{p_1 + p_2} \right] e^{-(p_1+p_2)t}, \quad (3.21)$$

$$V_{OUT1}(t) = \frac{R_F}{R_S} V_{C01}(t) - \frac{ESR_0}{R_S} V_{CF1}(t) + \frac{ESR_0}{R_S} V_{IN} - \frac{ESR_0 R_F}{R_S} I_0, \quad (3.22)$$

dove $q_1 = p_1(V_{IN} - I_0 R_F)$ e $q_2 = p_2(V_{IN} + I_0 ESR_0)$. Allo stesso modo, per la seconda fase:

$$e^{F_2 t} = T_2 \begin{bmatrix} 1 & 0 \\ 0 & e^{-(p_1+p_2)t} \end{bmatrix} T_2^{-1} \quad \text{con} \quad T_2 = \begin{bmatrix} 1 & 1 \\ 1 & -\frac{p_2}{p_1} \end{bmatrix}, \quad (3.23)$$

dove $X_{02} = \begin{bmatrix} m & n \end{bmatrix}^T$ è lo stato iniziale. L'evoluzione dello stato e dell'uscita del sistema nella seconda fase, in forma esplicita diventa:

$$V_{C02}(t) = \frac{mp_2 + np_1}{p_1 + p_2} + \frac{p_1 r_1 - p_1 r_2}{(p_1 + p_2)^2} + \frac{p_2 r_1 - p_1 r_2}{p_1 + p_2} t + \frac{1}{p_1 + p_2} \left[p_1(m - n) - \frac{p_1 r_1 - p_1 r_2}{p_1 + p_2} \right] e^{-(p_1+p_2)t}, \quad (3.24)$$

$$V_{CF2}(t) = \frac{mp_2 + np_1}{p_1 + p_2} - \frac{p_2 r_1 - p_2 r_2}{(p_1 + p_2)^2} + \frac{p_1 r_2 + p_2 r_1}{p_1 + p_2} t + \frac{1}{p_1 + p_2} \left[p_2(n - m) + \frac{p_2 r_1 - p_2 r_2}{p_1 + p_2} \right] e^{-(p_1+p_2)t}, \quad (3.25)$$

$$V_{OUT2}(t) = \frac{R_F}{R_S} V_{C02}(t) + \frac{ESR_0}{R_S} V_{CF2}(t) - \frac{ESR_0 R_F}{R_S} I_0, \quad (3.26)$$

dove $r_1 = -p_1 I_0 R_F$ e $r_2 = -p_2 I_0 ESR_0$.

In condizione di regime stazionario valgono le seguenti uguaglianze:

$$x_1(DT_p) = x_2(0), \quad (3.27)$$

$$x_2[(1 - D)T_p] = x_1(0), \quad (3.28)$$

dove D è il duty-cycle e T_p il periodo di commutazione.

Dalle (3.27) e (3.28) si ricavano gli stati iniziali per le due fasi, X_{01} e X_{02} . L'espressione esplicita non è riportata in quanto piuttosto complessa (Cfr. A.1). La tensione di uscita risulta infine:

$$V_{OUT}(t) = \begin{cases} V_{OUT1}(t) & 0 \leq t < DT_p \\ V_{OUT2}(t - DT_p) & DT_p \leq t < T_p \end{cases}. \quad (3.29)$$

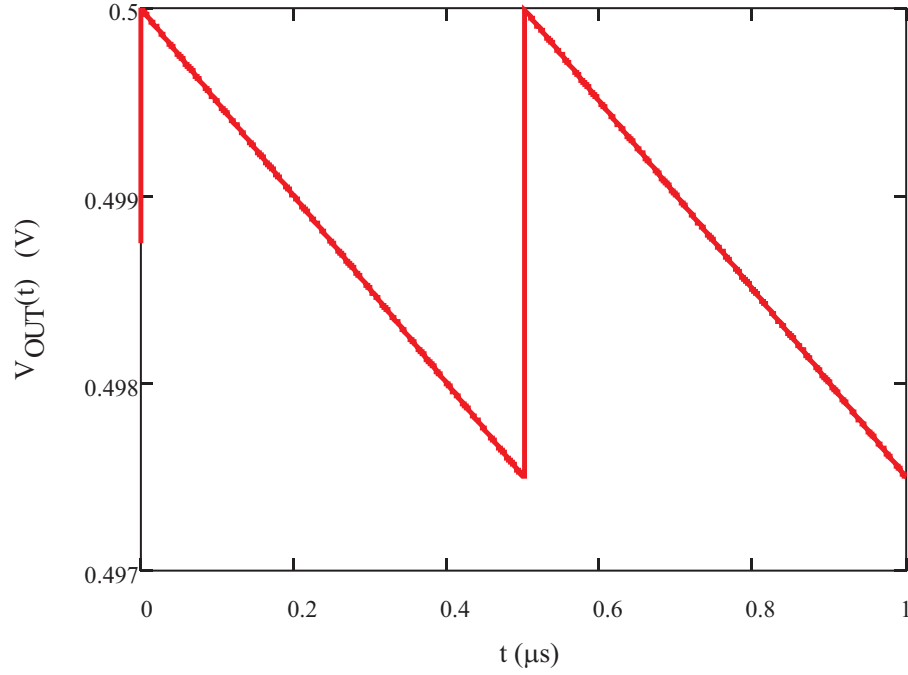


Figura 3.5: Andamento della tensione di uscita in regime stazionario.

In Figura 3.5 è riportato il grafico della (3.29) per:

$$\begin{aligned}
 C_F = C_0 &= 100\text{nF}, \\
 ESR_F = ESR_0 = r_{ON} &= 1\text{m}\Omega, \\
 V_{IN} &= 1\text{V}, \\
 I_0 &= 1\text{mA}, \\
 f_S &= 1\text{MHz}.
 \end{aligned}$$

Sono stati scelti bassi valori di resistenza in modo da evidenziare il comportamento in condizioni ideali del convertitore. L'andamento della tensione di uscita è caratterizzato da un rapido incremento, seguito da una diminuzione praticamente lineare, dovuto alla carica e scarica dei condensatori. In fase di dimensionamento si vedrà in che modo la dimensione dei condensatori influenza l'entità del ripple e la sua forma.

3.2 Estensione del modello ad un rapporto di conversione generico

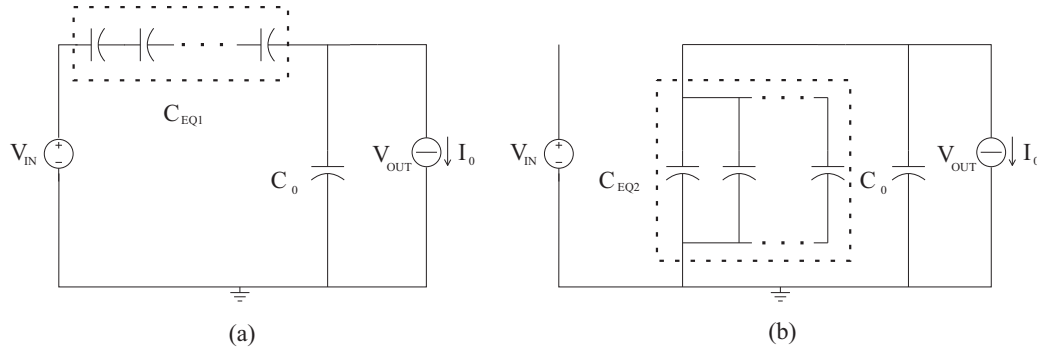


Figura 3.6: Convertitore S/P con rapporto di conversione $1/n$ nelle due fasi.

Il modello ricavato per il convertitore con rapporto di conversione $1/2$ può essere facilmente esteso ad un generico convertitore di tipo Series-Parallel. Utilizzando n condensatori, incluso quello di uscita, si possono realizzare i rapporti di conversione $1/n$ oppure $(n-1)/n$. In Figura 3.6 è riportata la topologia per il rapporto di conversione $1/n$. Nella prima fase (a) si distingue una serie di condensatori connessi fra ingresso ed uscita, che possono essere considerati come un unico condensatore equivalente C_{EQ1} . Nella seconda (b) le stesse capacità sono disposte in parallelo all'uscita e possono essere considerate come un unico condensatore equivalente C_{EQ2} . In questo modo il sistema, da dimensione n , diventa di dimensione 2, semplificando l'analisi. Il rapporto $(n-1)/n$ si realizza invertendo la disposizione delle capacità volanti. Nella prima fase vengono connesse in parallelo tra l'ingresso e l'uscita, mentre nella seconda formano una serie connessa in parallelo alla capacità di uscita.

Dal modello ricavato nel secondo capitolo, sostituendo 2.42 in 2.15, si ricava che le capacità volanti, per questa topologia, devono essere dello stesso valore per minimizzare l'impedenza di uscita.

3.2.1 Evoluzione temporale dello stato e dell'uscita in regime stazionario

Poichè si è ricondotto lo studio ad un sistema di dimensione 2, il procedimento da seguire è lo stesso del paragrafo precedente. Si ricavano quindi gli autovalori del sistema, la matrice esponenziale e le equazioni di stato e di uscita, in funzione

3.2 Estensione del modello ad un rapporto di conversione generico 49

delle condizioni iniziali. Bisogna prestare attenzione al fatto che in questo caso le variabili di stato non sono le stesse nelle due fasi. A seconda del rapporto di conversione M , infatti, i due blocchi di condensatori saranno composti da capacità di valore uguale in serie o in parallelo. Ne segue che nell'istante di commutazione la tensione ai capi di ogni condensatore volante coincide, ma non così ai capi dei condensatori equivalenti.

Si definisce N come rapporto fra la tensione ai capi di C_{EQ1} e C_{EQ2} nell'istante di commutazione:

$$N = \begin{cases} n - 1 & \text{per } M = \frac{1}{n} \\ 1/(n - 1) & \text{per } M = \frac{n-1}{n} \end{cases} . \quad (3.30)$$

La condizione da imporre alle equazioni di stato per ricavare gli stati iniziali del sistema nelle due fasi è quindi la seguente:

$$x_1(DT_p) = Nx_2(0), \quad (3.31)$$

$$Nx_2[(1 - D)T_p] = x_1(0). \quad (3.32)$$

3.2.2 Modello medio

Per poter ricavare il modello medio in regime stazionario, è necessario ricondursi ad un'unica variabile di stato per entrambe le fasi. Il legame fra la variabile di stato data dai condensatori equivalenti nelle due fasi è il seguente:

$$V_{CF1} = NV_{CF2}. \quad (3.33)$$

Definiamo quindi un'unica variabile di stato per i condensatori equivalenti:

$$V_F = V_{CF1} = NV_{CF2} \longrightarrow \begin{cases} V_{CF1} = V_F \\ V_{CF2} = V_F/N \end{cases} . \quad (3.34)$$

Il vettore di stato per il sistema medio risulta perciò:

$$\bar{x} = \begin{bmatrix} V_{C0} \\ V_F \end{bmatrix} . \quad (3.35)$$

Per poter utilizzare il vettore di stato \bar{x} , si inserisce il coefficiente costante $1/N$ presente in V_{CF2} nelle matrici F_2 e H_2 , ridefinite come:

$$F'_2 = \begin{bmatrix} -p_3 & p_3/N \\ p_4 & -p_4/N \end{bmatrix}, \quad H'_2 = \begin{bmatrix} \frac{R_{F2}}{R_{S2}} & \frac{ESR_0}{R_{S2}N} \end{bmatrix}.$$

Il sistema mediato nel periodo di commutazione risulta:

$$\begin{cases} \dot{\bar{x}} = [DF_1 + (1-D)F'_2]\bar{x} + [DG_1 + (1-D)G_2]\bar{u} = \bar{F} \cdot \bar{x} + \bar{G} \cdot \bar{u} \\ \dot{\bar{y}} = [DH_1 + (1-D)H'_2]\bar{x} + [DJ_1 + (1-D)J_2]\bar{u} = \bar{H} \cdot \bar{x} + \bar{J} \cdot \bar{u} \end{cases} \quad (3.36)$$

Per ottenere l'andamento della tensione media di uscita e quindi la resistenza equivalente del convertitore si impone in (3.36) la condizione di regime stazionario:

$$\dot{\bar{x}} = 0. \quad (3.37)$$

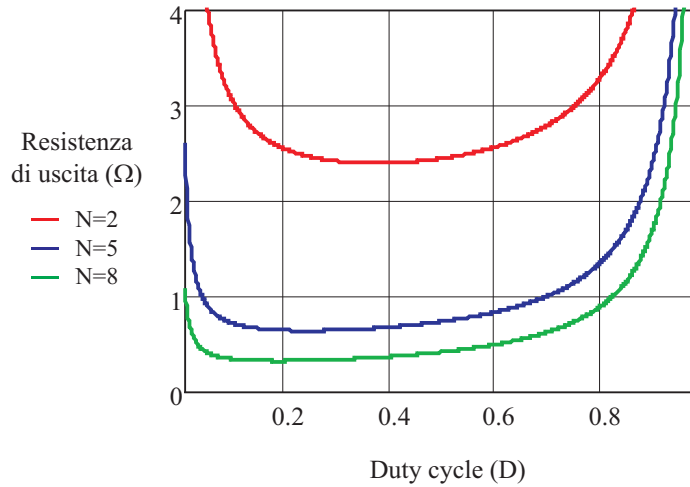


Figura 3.7: Andamento della resistenza di uscita al variare di N .

Non si riporta l'espressione esplicita della tensione media di uscita in quanto piuttosto complessa e analoga a (3.13). Si riporta invece in Figura 3.7 l'andamento della resistenza di uscita al variare di N per un convertitore con rapporto di conversione $M = 1/n = 1/(N + 1)$, $ESR = 50\text{m}\Omega$ e $r_{ON} = 0.5\Omega$ per, rispettivamente, tutte le capacità e gli interruttori e corrente di carico $I_0 = 100\text{mA}$. Si osserva che all'aumentare di N diminuisce il valore minimo della resistenza

3.2 Estensione del modello ad un rapporto di conversione generico 51

di uscita e allo stesso tempo quest'ultima si ottiene per valori inferiori di duty-cycle. La causa è la diversa resistenza equivalente della serie e del parallelo delle capacità volanti. Per il convertitore 1/2 la capacità volante è una sola e quindi la resistenza serie del ramo in commutazione è la stessa per entrambe le fasi, costituita dalle resistenze in conduzione di due interruttori e della ESR del condensatore. Questo comporta notevoli semplificazioni nell'espressione delle resistenza di uscita. Estendendo il modello per il convertitore 1/2 ad un convertitore con n condensatori, incluso quello di uscita, in generale valgono:

$$\begin{cases} R_S = (n-1)(r_{ON} + ESR) + r_{ON} & \text{ramo serie} \\ R_P = (2r_{ON} + ESR)/(n-1) & \text{ramo parallelo} \end{cases} \quad (3.38)$$

Se il loro valore fosse identico, il duty-cycle ottimale sarebbe sempre 1/2, invece la loro differenza aumenta all'aumentare del rapporto di conversione. Per rapporti di conversione $M = (n-1)/n$ il risultato è duale, poichè si scambia la serie e il parallelo nelle due fasi. All'aumentare di n il valore minimo della resistenza di uscita diminuisce, ma in corrispondenza di valori crescenti di duty-cycle.

3.3 Modello convertitore 1/3

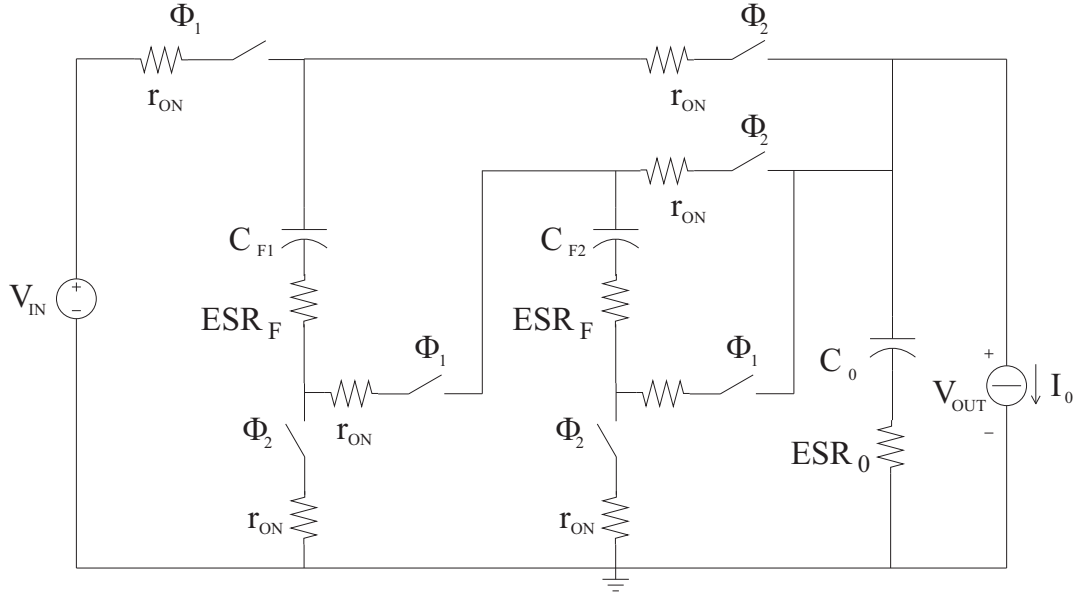


Figura 3.8: Schema del convertitore con rapporto di conversione 1/3.

In Figura 3.8 è riportato lo schema con cui si è realizzato il convertitore con rapporto di conversione 1/3. Si considerano identici i condensatori volanti, con stesso valore di capacità C_F e resistenza serie ESR_F , e gli interruttori, con resistenza in conduzione r_{ON} . Il condensatore di uscita è invece caratterizzato da una resistenza serie ESR_0 .

Applicando il procedimento generalizzato per ricavare il modello del convertitore, si riporta la rappresentazione matriciale del sistema nelle due fasi.

$$\Phi_1 : \begin{cases} \dot{x}_1 = F_1 x_1 + G_1 u \\ y = H_1 x_1 + J_1 u \end{cases} . \quad (3.39)$$

$$\text{Variabili di stato: } x_1 = \begin{bmatrix} V_{C0}(t) \\ V_{CF1}(t) \end{bmatrix}. \quad \text{Ingressi: } u = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix}.$$

$$F_1 = \begin{bmatrix} -p_1 & -p_1 \\ -p_2 & -p_2 \end{bmatrix}, \quad G_1 = \begin{bmatrix} p_1 & -p_1 R_{F1} \\ p_2 & p_2 ESR_0 \end{bmatrix},$$

$$H_1 = \begin{bmatrix} \frac{R_{F1}}{R_{S1}} & -\frac{ESR_0}{R_{S1}} \end{bmatrix}, \quad J_1 = \begin{bmatrix} \frac{ESR_0}{R_{S1}} & -\frac{ESR_0 R_{F1}}{R_{S1}} \end{bmatrix}.$$

$$\Phi_2 : \begin{cases} \dot{x}_2 = F_2 x_2 + G_2 u \\ y = H_2 x_2 + J_2 u \end{cases}. \quad (3.40)$$

$$\text{Variabili di stato: } x_2 = \begin{bmatrix} V_{C0}(t) \\ V_{CF2}(t) \end{bmatrix}. \quad \text{Ingressi: } u = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix}.$$

$$F_2 = \begin{bmatrix} -p_3 & p_3 \\ p_4 & -p_4 \end{bmatrix}, \quad G_2 = \begin{bmatrix} 0 & -p_3 R_{F2} \\ 0 & -p_4 ESR_0 \end{bmatrix},$$

$$H_2 = \begin{bmatrix} \frac{R_{F2}}{R_{S2}} & \frac{ESR_0}{R_{S2}} \end{bmatrix}, \quad J_2 = \begin{bmatrix} 0 & -\frac{ESR_0 R_{F2}}{R_{S2}} \end{bmatrix},$$

dove si è indicato:

$$\begin{aligned} C_{F1} &= (C_1 C_2)(C_1 + C_2) = C_F/2, & C_{F2} &= C_1 + C_2 = 2C_F, \\ p_1 &= 1/(C_0 R_{S1}), & R_{F1} &= 2ESR_F + 3r_{ON}, \\ p_2 &= 1/(C_{F1} R_{S1}), & R_{S1} &= R_{F1} + ESR_0, \\ p_3 &= 1/(C_0 R_{S2}), & R_{F2} &= (ESR_F + 2r_{ON})/2, \\ p_4 &= 1/(C_{F2} R_{S2}), & R_{S2} &= R_{F2} + ESR_0. \end{aligned}$$

3.4 Modello convertitore 2/3

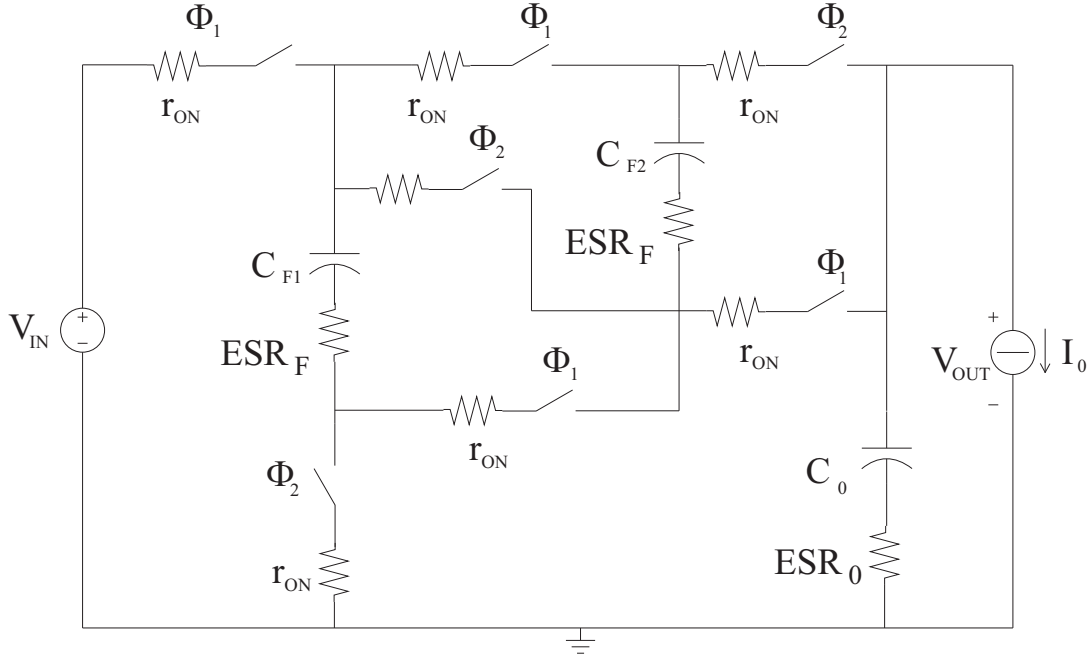


Figura 3.9: Schema del convertitore con rapporto di conversione 2/3.

In Figura 3.9 è riportato lo schema con cui si è realizzato il convertitore con rapporto di conversione 2/3. Si considerano identici i condensatori volanti, con stesso valore di capacità C_F e resistenza serie ESR_F , e gli interruttori, con resistenza in conduzione r_{ON} . Il condensatore di uscita è invece caratterizzato da una resistenza serie ESR_0 .

Applicando il procedimento generalizzato per ricavare il modello del convertitore, si riporta la rappresentazione matriciale del sistema nelle due fasi.

$$\Phi_1 : \begin{cases} \dot{x}_1 = F_1 x_1 + G_1 u \\ y = H_1 x_1 + J_1 u \end{cases} . \quad (3.41)$$

$$\text{Variabili di stato: } x_1 = \begin{bmatrix} V_{C0}(t) \\ V_{CF1}(t) \end{bmatrix}. \quad \text{Ingressi: } u = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix}.$$

$$F_1 = \begin{bmatrix} -p_1 & -p_1 \\ -p_2 & -p_2 \end{bmatrix}, \quad G_1 = \begin{bmatrix} p_1 & -p_1 R_{F1} \\ p_2 & p_2 ESR_0 \end{bmatrix},$$

$$H_1 = \begin{bmatrix} \frac{R_{F1}}{R_{S1}} & -\frac{ESR_0}{R_{S1}} \end{bmatrix}, \quad J_1 = \begin{bmatrix} \frac{ESR_0}{R_{S1}} & -\frac{ESR_0 R_{F1}}{R_{S1}} \end{bmatrix}.$$

$$\Phi_2 : \begin{cases} \dot{x}_2 = F_2 x_2 + G_2 u \\ y = H_2 x_2 + J_2 u \end{cases}. \quad (3.42)$$

Variabili di stato: $x_2 = \begin{bmatrix} V_{C0}(t) \\ V_{CF2}(t) \end{bmatrix}$. Ingressi: $u = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix}$.

$$F_2 = \begin{bmatrix} -p_3 & p_3 \\ p_4 & -p_4 \end{bmatrix}, \quad G_2 = \begin{bmatrix} 0 & -p_3 R_{F2} \\ 0 & -p_4 ESR_0 \end{bmatrix},$$

$$H_2 = \begin{bmatrix} \frac{R_{F2}}{R_{S2}} & \frac{ESR_0}{R_{S2}} \end{bmatrix}, \quad J_2 = \begin{bmatrix} 0 & -\frac{ESR_0 R_{F2}}{R_{S2}} \end{bmatrix},$$

dove si è indicato:

$$\begin{aligned} C_{F1} &= C_1 + C_2 = 2C_F, & C_{F2} &= (C_1 C_2)(C_1 + C_2) = C_F/2, \\ p_1 &= 1/(C_0 R_{S1}), & R_{F1} &= (ESR_F + r_{ON})/2 + 2r_{ON}, \\ p_2 &= 1/(C_{F1} R_{S1}), & R_{S1} &= R_{F1} + ESR_0, \\ p_3 &= 1/(C_0 R_{S2}), & R_{F2} &= 2ESR_F + 3r_{ON}, \\ p_4 &= 1/(C_{F2} R_{S2}), & R_{S2} &= R_{F2} + ESR_0. \end{aligned}$$

Capitolo 4

Controllo e regolazione

4.1 Regolazione della tensione di uscita

Esistono principalmente tre metodi per regolare la tensione di uscita in un convertitore a capacità commutata. Il primo prevede il cambiamento della topologia del circuito in modo da variare il rapporto di conversione. Il secondo è basato sul controllo del duty-cycle degli interruttori, in modo da regolare di conseguenza il valore dell'impedenza di uscita. Il terzo consiste nel variare la frequenza di commutazione in modo da generare una caduta di tensione opportuna sull'impedenza di uscita. Gli ultimi due metodi, agendo sul valore dell'impedenza di uscita, comportano una diminuzione del rendimento del sistema. Il primo invece permette di mantenere il rendimento elevato, a scapito di un ripple maggiore sulla tensione di uscita. In base all'applicazione, questi metodi possono essere implementati singolarmente o assieme in modo da raggiungere un risultato ottimale [22].

In Figura 4.1 è riportato come esempio il rendimento al variare della tensione di ingresso per l'integrato LM2770 della National Semiconductor [23]. Questo è un convertitore a capacità commutata in cui sono utilizzati i rapporti di conversione $1/2$, $1/3$ e $2/3$ per generare una tensione di uscita costante a partire da tensioni di ingresso comprese tra 2.5V a 5.5V. La regolazione avviene per variazione della frequenza di commutazione con la tecnica PFM, descritta in seguito. Si osserva come, in corrispondenza dei punti ottimali di funzionamento in cui la resistenza di uscita del convertitore è minima, il rendimento sia molto elevato. Allontanandosi da questi punti di lavoro il rendimento cala poichè è necessario aumentare la resistenza di uscita per mantenere costante la tensione di uscita del convertitore.

Variando il duty-cycle si produrrà quindi un risultato analogo a quanto appena osservato, poichè si andrà ad aumentare la resistenza di uscita del convertitore.

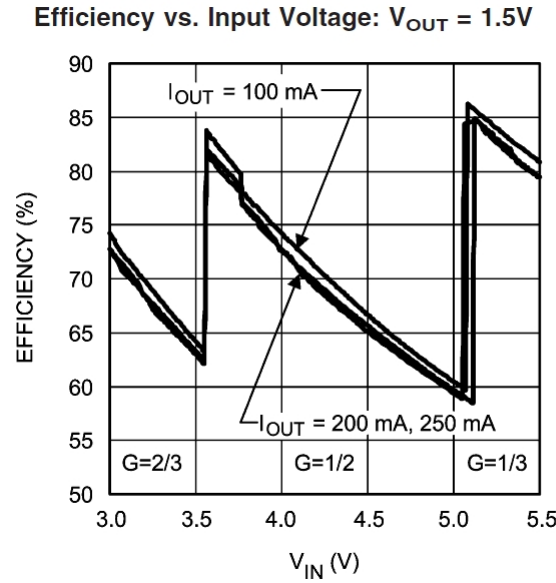


Figura 4.1: Andamento del rendimento in funzione della tensione d'ingresso per l'integrato LM2770 della National Semiconductor. G è il rapporto di conversione dato dalla rete a capacità commutate.

Per applicazioni in cui la tensione d'ingresso invece è costante, il rendimento rimane sempre elevato poichè è possibile dimensionare il convertitore in modo da operare, nelle condizioni nominali, con la minima resistenza di uscita. Il rendimento del convertitore, trascurando la potenza necessaria al controllo, è infatti il seguente:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}I_{out}}{MV_{in}I_{out}} = \frac{V_{out}}{MV_{in}} \quad (4.1)$$

ed è indipendente dalla corrente di carico. La diminuzione della corrente di carico dal valore nominale produrrebbe infatti un aumento della tensione di uscita e quindi del rendimento, che viene compensato dal controllo con l'aumento della resistenza di uscita del convertitore, in modo da mantenere costante la tensione di uscita. Se invece è la tensione d'ingresso a variare in un intervallo, per mantenere elevato il rendimento l'unica soluzione possibile è aumentare il numero di rapporti di conversione, in modo da minimizzare la differenza di tensione di uscita tra un rapporto e l'altro.

4.1.1 Variazione del rapporto di conversione

Per ampie variazioni della tensione in ingresso o del carico, è necessario modificare la topologia del circuito in modo da ottenere rapporti di conversione differenti per mantenere il rendimento elevato. Si può a questo scopo spostare l'ingresso o l'uscita in più punti del circuito, a seconda delle topologie. Per realizzare rapporti di conversione intermedi, è sufficiente alternare periodicamente il sistema fra due rapporti adiacenti. Tuttavia, agendo in questo modo, il ripple sulla tensione di uscita aumenta notevolmente.

Una soluzione a questo problema si è ottenuta realizzando un convertitore con più di due fasi di commutazione e più rappresentazioni equivalenti dello stesso rapporto di conversione. La regolazione della tensione di uscita avviene quindi variando periodicamente la topologia della rete fra le rappresentazioni equivalenti di due rapporti di conversione adiacenti. In confronto alle tipologie classiche, questa tipologia di convertitori richiede il minimo numero di condensatori a parità di rapporti di conversione realizzabili, e quindi permette di ottenere un rendimento superiore a partire dallo stesso numero di condensatori. Questi però sono sottoposti a livelli di tensione differenti che possono essere anche elevati. Inoltre è richiesto un numero elevato di interruttori in quanto la topologia è soggetta a molti cambiamenti che avvengono a frequenza maggiore rispetto ai convertitori a due fasi [24].

4.1.2 Variazione del duty-cycle

Nei convertitori a capacità commutata la diminuzione del duty-cycle rispetto al valore ottimale provoca l'aumento dell'impedenza di uscita e di conseguenza la diminuzione della tensione di uscita. Questo tipo di controllo quindi diminuisce il rendimento del sistema, agendo di fatto come un regolatore resistivo. Il vantaggio di questo tipo di regolazione rispetto alla variazione della frequenza di commutazione è proprio la frequenza di commutazione costante, che comporta in generale disturbi minori.

4.1.3 Variazione della frequenza di commutazione

Questo tipo di controllo permette una regolazione fine della tensione di uscita del convertitore al di sotto della tensione nominale. Diminuendo opportunamente la frequenza di commutazione è possibile aumentare la resistenza di uscita, generando la caduta di potenziale necessaria per abbassare del valore desiderato

la tensione di uscita. La potenza in eccesso viene anche in questo caso dissipata all'interno del convertitore, diminuendo il rendimento del sistema, come fosse un regolatore di tipo resistivo.

Una modalità simile consiste nel collegare il convertitore, operato a duty-cycle costante, al condensatore di uscita solo quando la tensione ai suoi capi è variata di una certa percentuale della tensione nominale. Questa modalità viene detta pulse-frequency modulation (PFM) oppure burst-mode operation. La frequenza di commutazione utilizzata è costante, ma il convertitore viene azionato solo quando la tensione di uscita è scesa sotto il riferimento [25].

4.2 Controllo diretto del duty-cycle

Si vuole realizzare, per i convertitori di tipo Series-Parallel studiati nel capitolo precedente, il controllo a catena chiusa della tensione di uscita tramite controllo diretto del duty-cycle. L'azionamento degli interruttori avviene tramite un'onda quadra con duty-cycle opportuno. Quando il suo valore è alto, gli interruttori vengono azionati in modo da portare il convertitore nella prima fase. Viceversa, quando il valore è basso, il convertitore si porterà nella seconda fase. Il sistema di regolazione sarà perciò composto da un regolatore, con il compito di generare il segnale modulante e da un modulatore a larghezza d'impulso (PWM), il quale produrrà un segnale ad onda quadra con duty-cycle dipendente dalla modulante.

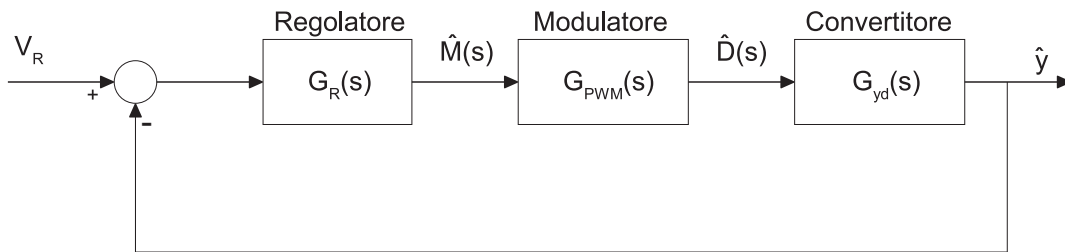


Figura 4.2: Schema a blocchi dell'anello di controllo di tensione.

In Figura 4.2 è riportato lo schema a blocchi relativo all'anello di controllo di tensione. Il guadagno d'anello è definito come:

$$T(s) = G_R(s)G_{PWM}(s)G_{yd}(s), \quad (4.2)$$

dove $G_R(s)$, $G_{PWM}(s)$ e $G_{yd}(s)$ sono rispettivamente le funzioni di trasferimento del regolatore, del modulatore PWM e tra duty-cycle e tensione di uscita del

convertitore. Nel modulatore PWM il duty-cycle è determinato come rapporto fra le ampiezze del segnale modulante e della portante triangolare. Nell'ipotesi che la frequenza del primo sia molto inferiore rispetto quella del secondo, si può assumere costante l'ampiezza del segnale modulante in ogni periodo della portante. La funzione di trasferimento del modulatore PWM risulta perciò:

$$G_{PWM}(s) = \frac{1}{W}, \quad (4.3)$$

dove W è l'ampiezza della portante.

Si vuole determinare la funzione di trasferimento tra duty-cycle e tensione di uscita del convertitore. Il modello sviluppato nel terzo capitolo rimane valido finchè si considera il duty-cycle costante, in quanto il sistema risulta lineare. In questo modo è possibile studiare l'andamento delle grandezze del sistema a catena aperta. Introducendo il controllo del duty-cycle, il sistema diventa non lineare e risulta quindi necessario linearizzarlo. Si riporta di seguito il sistema medio:

$$\Phi_m : \begin{cases} \dot{x} = [dF_1 + (1-d)F_2]x + [dG_1 + (1-d)G_2]u = Fx + Gu \\ y = [dH_1 + (1-d)H_2]x + [dJ_1 + (1-d)J_2]u = Hx + Ju \end{cases} \quad (4.4)$$

Si considera quindi ogni grandezza del sistema composta da un termine di regime e da un termine di perturbazione, molto più piccolo:

$$\begin{aligned} x &= X + \hat{x}, \\ u &= U + \hat{u}, \\ d &= D + \hat{d}, \end{aligned} \quad (4.5)$$

$$\text{dove: } U = \begin{bmatrix} V_{IN} \\ I_0 \end{bmatrix} \quad \text{e dalla 3.10: } X = -F^{-1}GU.$$

Sostituendo (4.5) in (4.4) si trova il sistema valido ai piccoli segnali:

$$\Phi_s : \begin{cases} \dot{\hat{x}} = F\hat{x} + G\hat{u} + A\hat{d} \\ \hat{y} = H\hat{x} + J\hat{u} + B\hat{d} \end{cases} \quad \text{con} \quad \begin{cases} A = (F_1 - F_2)X + (G_1 - G_2)U \\ B = (H_1 - H_2)X + (J_1 - J_2)U \end{cases} \quad (4.6)$$

Le matrici A e B dipendono dagli ingressi e dalle variabili di stato del sistema e quindi dal punto di lavoro del convertitore. Il sistema in (4.6) è valido perciò

solamente in un intorno del punto di lavoro considerato. Utilizzando la trasformata di Laplace si possono ricavare in modo diretto le funzioni di trasferimento tra ingressi ed uscite. Applicando la trasformata di Laplace a (4.6), risulta:

$$\begin{cases} \hat{X}(s) = (sI - F)^{-1}G\hat{U}(s) + (sI - F)^{-1}A\hat{D}(s) \\ \hat{Y}(s) = H\hat{X}(s) + J\hat{U}(s) + B\hat{D}(s) \end{cases} \quad (4.7)$$

In modo particolare interessa la funzione di trasferimento tra duty-cycle e tensione di uscita, definita nel modo seguente:

$$G_{yd}(s) = \left. \frac{\hat{Y}(s)}{\hat{D}(s)} \right|_{\hat{V}_{IN}=\hat{I}_0=0} = H(sI - F)^{-1}A + B. \quad (4.8)$$

La funzione di trasferimento del regolatore sarà definita di conseguenza in fase di progetto, in modo da garantire la stabilità del sistema retroazionato.

Capitolo 5

Progetto dei convertitori

Si vogliono realizzare tre convertitori Hard Switched DC/DC di tipo buck con rapporti di conversione $1/2$, $1/3$ e $2/3$. Si assumono come specifiche di progetto:

- corrente di carico nominale $I_{NOM} = 100\text{mA}$;
- tensione costante di ingresso $V_{IN} = 3.3\text{V}$;
- frequenza di commutazione $f_s = 1\text{MHz}$.

Per realizzare il rapporto di conversione $1/2$ la topologia è unica, mentre per realizzare il rapporto di conversione $1/3$ si è scelta la topologia Series-Parallel la quale per questa applicazione, in base al modello generico derivato nel secondo capitolo, presenta i valori minimi di SSL e FSL. Inoltre essa può essere facilmente modificata in modo da realizzare il rapporto di conversione $2/3$, come descritto nel terzo capitolo. Si è quindi realizzato un primo prototipo dei convertitori $1/2$ e $2/3$, per verificare il modello teorico e successivamente un secondo prototipo di tutti e tre i convertitori, dotato di controllo a retroazione della tensione di uscita.

5.1 Scelta dei componenti

Si è precedentemente evidenziato come nei convertitori a capacità commutata l'influenza dei parametri parassiti sulle prestazioni sia elevata. Per questo motivo si è scelto di realizzare i prototipi in tecnologia a montaggio superficiale (SMT). I dispositivi a montaggio superficiale (SMD) presentano infatti dimensioni molto inferiori ai corrispettivi in tecnologia tradizionale through hole (THT). Questo permette di ottenere:

- lunghezza inferiore delle tracce di segnale e quindi minor resistenza ed induttanza serie equivalente;
- per i condensatori SMD, valori ridotti di ESR ed ESL e conseguentemente frequenze di risonanza superiori.

Di conseguenza, è possibile ottenere valori di resistenza di uscita inferiori ed operare a frequenze di commutazione superiori, ottenendo quindi convertitori con rendimento maggiore e di dimensioni inferiori, rispetto ad analoghe realizzazioni in tecnologia through hole.

5.1.1 Interruttori

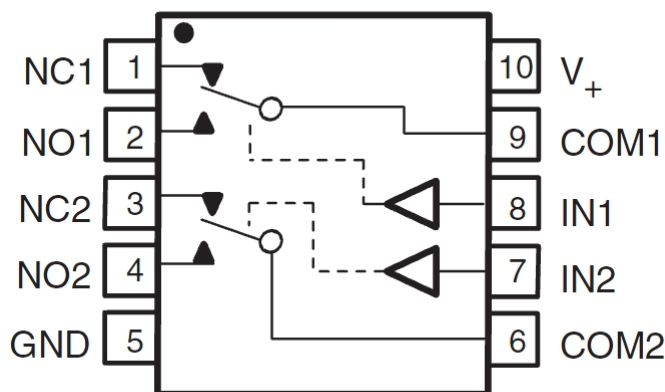


Figura 5.1: Schema circuitale dei doppi deviatori TS3A24157.

Si è scelto inizialmente di utilizzare come interruttori i dispositivi TS3A24157 prodotti dalla Texas Instruments (Figura 5.1). Questi sono dei doppi deviatori analogici per basse tensioni di alimentazione (massimo 3.6V) caratterizzati da una bassa resistenza in conduzione e disponibili esclusivamente in package SMD. Collegando i terminali comuni (COM1 e COM2) ai capi delle capacità volanti è possibile cambiarne i collegamenti nelle due fasi. Per ogni capacità volante è quindi necessario un dispositivo. Il comando avviene tramite i terminali IN. Se la tensione su questi terminali è al di sotto del valore di soglia bassa, il corrispondente terminale COM è collegato al terminale NC (normally close). Viceversa se la tensione è superiore al valore di soglia alta essi sono collegati ai rispettivi terminali NO (normally open). In questo modo una fase del sistema corrisponde al collegamento dei terminali COM ai terminali NC mentre l'altra ai terminali

NO. Risulta quindi possibile comandare con un unico segnale ad onda quadra tutti i terminali IN, in modo che il duty-cycle del segnale di comando corrisponda al duty-cycle del sistema. Con questa soluzione si introducono automaticamente dei tempi morti nella commutazione tra le due fasi, la cui durata è determinata dal tempo di salita e di discesa del segnale di comando. L'ampiezza massima del segnale di comando è pari alla tensione di alimentazione del dispositivo [26].

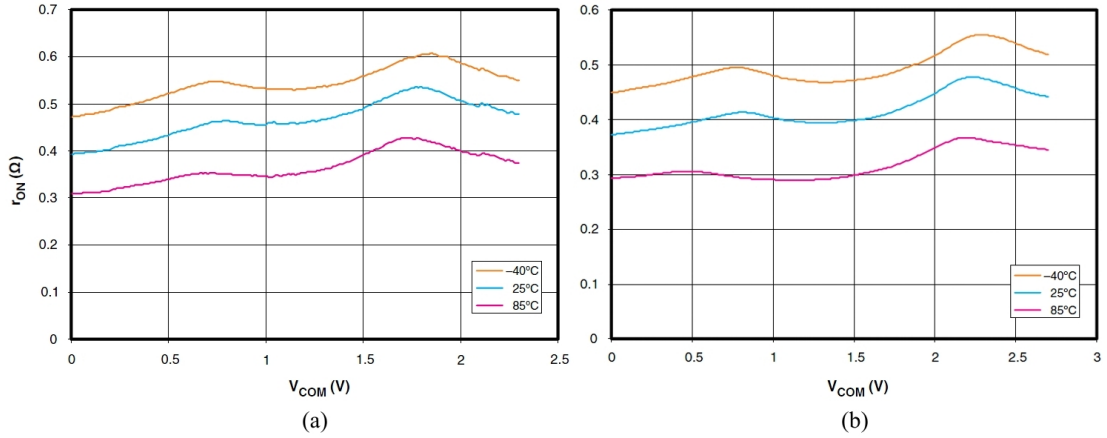


Figura 5.2: r_{on} vs. V_{COM} per $V_+ = 2.3V$ (a) e $V_+ = 2.7V$ (b).

Scegliendo come tensione di alimentazione V_+ la tensione di ingresso del convertitore V_{IN} , dal datasheet del componente si ricava r_{on} , il valore approssimativo della resistenza in conduzione degli interruttori. In Figura 5.2 è riportato l'andamento di r_{on} in funzione di V_{COM} , la tensione sui terminali COM, per differenti valori della tensione di alimentazione e di temperatura del dispositivo. Si osserva che al crescere della tensione di alimentazione in generale il valore di r_{on} cala. Inoltre per l'applicazione prevista $0V \leq V_{COM} \leq 3.3V$. Si può quindi assumere nel caso peggiore:

$$r_{on} = 0.45\Omega \quad (5.1)$$

considerando che durante le misure la temperatura del dispositivo sarà superiore a 25°C. Per il secondo prototipo si è utilizzato invece l'analogo componente TS3A24159, caratterizzato da un valore inferiore di resistenza in conduzione [27]. Per questo dispositivo essa risulta:

$$r_{on} = 0.25\Omega. \quad (5.2)$$

5.1.2 Condensatori

Si è scelto di utilizzare i condensatori ceramici multistrato (MLCC) in quanto rispetto alle altre tipologie di condensatori presentano le seguenti proprietà:

- massima capacità per unità di volume;
- minima resistenza serie equivalente (ESR) per frequenze superiori a 1kHz;
- minima induttanza serie equivalente ESL .

Si è utilizzato il package SMD 1206 poichè è maggiormente diffuso e sufficientemente grande da poter essere saldato con facilità nella scheda di prova. Dal datasheet relativo ai componenti scelti si è stimato il valore massimo di ESR [28].

$$ESR = 30\text{m}\Omega. \quad (5.3)$$

5.1.3 Controllore PWM

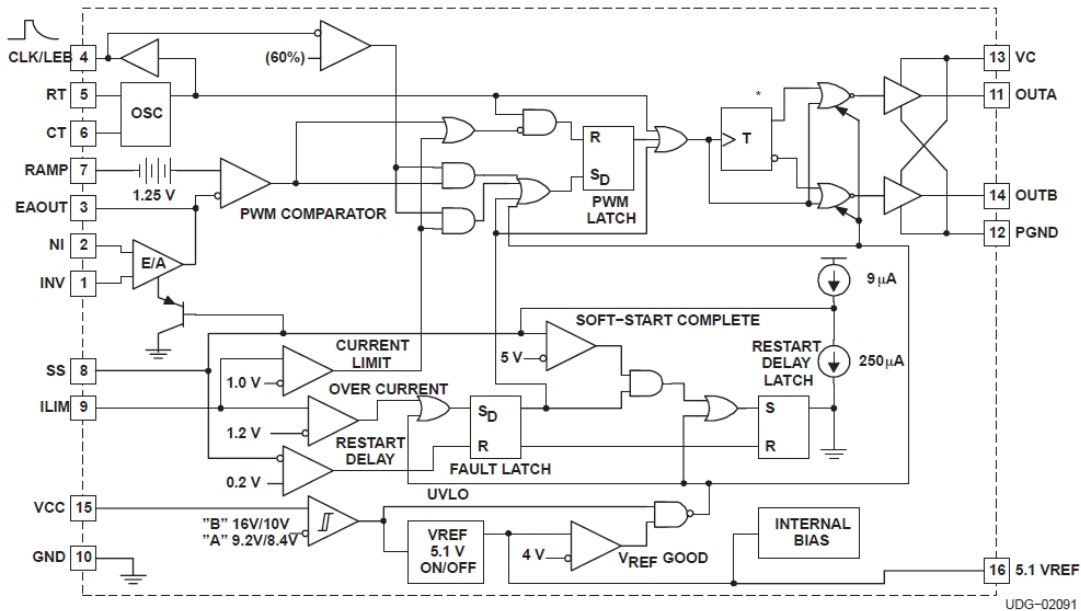


Figura 5.3: Schema del controllore PWM UC3823A.

Non essendoci vincoli sulla realizzazione del controllo, si è scelto di utilizzare una soluzione integrata data dal controllore PWM UC3823A il cui schema è

riportato in Figura 5.3. Questo dispositivo è dotato di amplificatore d'errore, per generare il segnale modulante, di un comparatore per generare il segnale PWM e di due stadi di uscita. Inoltre è dotato di un oscillatore interno per generare la portante a dente di sega e della possibilità di fissare un limite massimo per il duty-cycle [29]. Il legame tra frequenza di commutazione f_s e massimo duty-cycle D_{MAX} è dato dalle seguenti equazioni, riportate nel datasheet del componente.

$$R_T = \frac{3V}{(10mA)(1 - D_{MAX})}, \quad (5.4)$$

$$C_T = \frac{1.6D_{MAX}}{R_T f_s}. \quad (5.5)$$

R_T e C_T sono rispettivamente la resistenza e la capacità di timing, connesse ai rispettivi pin del dispositivo. Si sceglie prima R_T , in base al massimo duty-cycle voluto, e successivamente C_T , in base alla frequenza di commutazione scelta. Si riportano le caratteristiche principali:

- prodotto banda guadagno dell'amplificatore d'errore: $GBP = 12\text{MHz}$;
- massima frequenza di commutazione: $f_s = 1\text{MHz}$.

Numero	Nome	Funzione
1, 2, 3	INV, NI, EAOUT	Sono, rispettivamente, l'ingresso non invertente, invertente, e l'uscita dell'amplificatore d'errore, utilizzati per realizzare il regolatore.
4	CLK/LEB	Uscita dell'oscillatore interno. Non è utilizzata.
5	RT	Tra questo pin e il riferimento di segnale si connette la resistenza di timing che, assieme alla capacità connessa a CT, determina la frequenza di commutazione e il massimo duty-cycle.
6	CT	Tra questo pin e il riferimento di segnale si connette la capacità di timing.
7	RAMP	Ingresso non invertente del comparatore PWM. Si collega a CT dove è presente la rampa a dente di sega.
8	SS	Ingresso per la funzione di soft-start. Non è utilizzato.
9	ILIM	Ingresso per fissare il limite di corrente. Non è utilizzato e si connette al riferimento di segnale.
10	GND	Riferimento di segnale.
11	OUTA	Uscita utilizzata per il segnale di comando dei deviatori.
12	PGND	Riferimento di potenza per gli stadi di uscita. Si consiglia di tenere separati i piani di massa di segnale e di potenza e di unirli in questo punto.
13	VC	Alimentazione degli stadi di uscita. Per questa applicazione è 3.3V.
14	OUTB	Seconda uscita, non utilizzata.
15	VCC	Alimentazione del controllore PWM, deve essere superiore a 10V. Si utilizzano 12V
16	VREF	Riferimento di tensione costante a 5.1V. Si utilizza per generare il riferimento di tensione per il controllo.

Tabella 5.1: Descrizione ed utilizzo dei pin del dispositivo UC3823A.

5.2 Primo prototipo

Questa scheda è stata realizzata per verificare il modello teorico dei convertitori il cui schema è quello studiato nel terzo capitolo. Non si riportano lo schema del prototipo e la realizzazione come circuito stampato poichè sono analoghe a quelle riportate in seguito per il secondo prototipo. Per poter variare a piacere il comando degli interruttori non è presente alcun controllo. Il comando avviene tramite un onda quadra di ampiezza 3.3V e duty-cycle variabile applicata ai pin IN dei deviatori, realizzata tramite un generatore di segnali. Come visto in precedenza, se la tensione ai pin IN è bassa, ossia il duty-cycle è nullo, i pin COM dei deviatori sono connessi ai rispettivi pin NC. Nella realizzazione si è fatto perciò corrispondere questa condizione alla fase in cui nei convertitori non c'è un collegamento fra ingresso e uscita (Φ_2). In questo modo togliendo il comando la tensione di uscita si annulla.

Per determinare la dimensione delle capacità del circuito si utilizza il modello sviluppato nel terzo capitolo. In (5.6) si definisce il valore efficace della tensione di uscita, calcolato a partire dalla (3.29):

$$V_{OUT} = D \sqrt{\frac{1}{DT_s} \int_0^{DT_s} V_{OUT1}(t)^2 dt} + (1-D) \sqrt{\frac{1}{(1-D)T_s} \int_0^{(1-D)T_s} V_{OUT2}(t)^2 dt}. \quad (5.6)$$

La resistenza equivalente di uscita può quindi essere calcolata come:

$$R_{eq} = \frac{MV_{IN} - V_{OUT}}{I_0}, \quad (5.7)$$

dove M è il rapporto di conversione e I_0 la corrente di carico. Dall'andamento temporale della (3.29) è inoltre possibile stimare il ripple sulla tensione di uscita, indicato come ΔV . Si assumono infine i seguenti come valori nominali:

$$\begin{aligned} r_{ON} &= 0.45\Omega, \\ ESR_f = ESR_0 &= 0.03\Omega, \\ f_s &= 1\text{MHz}, \\ I_{NOM} &= 100\text{mA}, \\ V_{IN} &= 3.3\text{V}. \end{aligned}$$

Questi sono i valori utilizzati nelle simulazioni seguenti, se non diversamente specificato.

5.2.1 Convertitore con rapporto di conversione 1/2

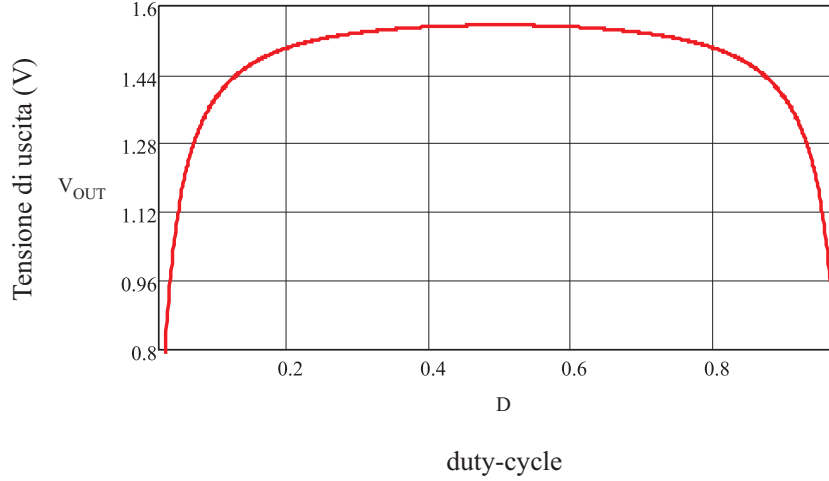


Figura 5.4: V_{OUT} vs. D per $C_f = C_0 = 1\mu F$.

In Figura 5.4 è riportato l'andamento di V_{OUT} in funzione del duty-cycle. Come visto in precedenza, per il convertitore con rapporto di conversione 1/2 il valore ottimale di duty-cycle è:

$$D = 0.5. \quad (5.8)$$

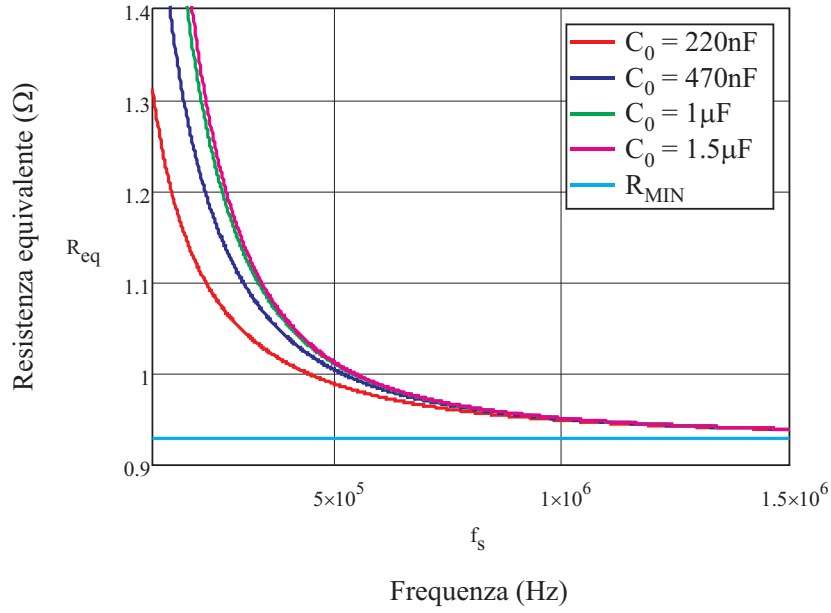
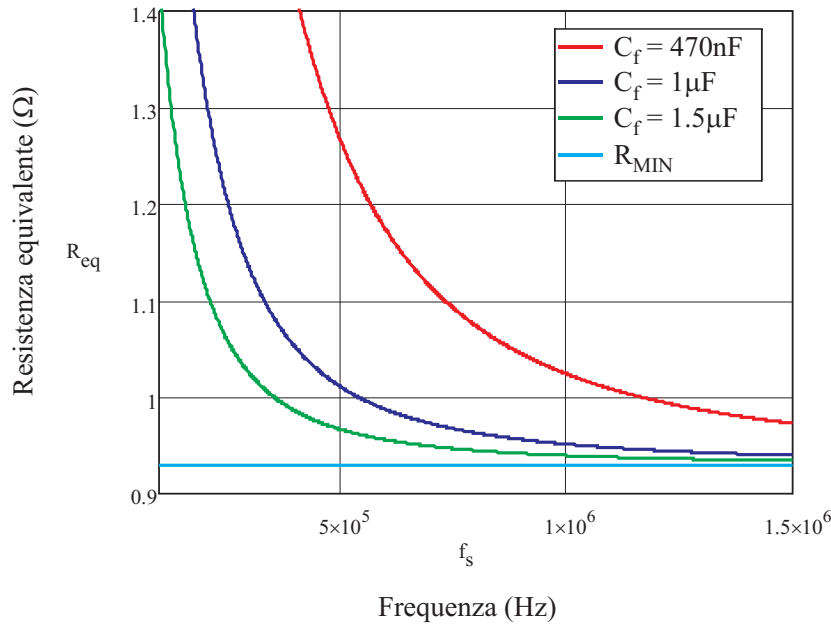
Si assume dunque questo come valore di duty-cycle per il funzionamento nelle condizioni nominali. Dalla (3.14) è quindi possibile ricavare il limite minimo per la resistenza equivalente di uscita:

$$R_{MIN} = 0.93\Omega. \quad (5.9)$$

In Figura 5.5 è riportato l'andamento della resistenza equivalente di uscita al variare della frequenza di commutazione, calcolato nelle condizioni nominali, con $C_f = 1\mu F$, per diversi valori della capacità di uscita C_0 . In Figura 5.6 è invece riportato lo stesso grafico ma calcolato con $C_0 = 1\mu F$, per diversi valori della capacità volante C_f . Si evidenzia come, dal punto di vista della resistenza equivalente di uscita, il valore di C_0 abbia un'influenza molto minore rispetto a C_f , influenza che diminuisce al crescere della frequenza di commutazione. Il valore di C_f risulta invece determinante per stabilire la soglia tra FSL e SSL.

Poichè si è scelto di operare con $f_s = 1MHz$, si è scelto:

$$C_f = 1\mu F \quad (5.10)$$

Figura 5.5: R_{eq} vs. f_s per $C_f = 1\mu\text{F}$.Figura 5.6: R_{eq} vs. f_s per $C_0 = 1\mu\text{F}$.

in modo da porre la soglia vicino alla frequenza di commutazione. Con questa scelta, come si è visto nel secondo capitolo, si distribuiscono le perdite in modo equivalente su tutti i componenti. Questo si traduce nel fatto che un valore di capacità maggiore non diminuirebbe significativamente la resistenza equivalente

di uscita, portando invece a costi e dimensioni superiori. Un valore minore invece aumenterebbe il valore di resistenza. Inoltre, per il valore di C_f e di frequenza di commutazione scelti, il valore di C_0 non risulta avere grande influenza sulla resistenza equivalente di uscita.

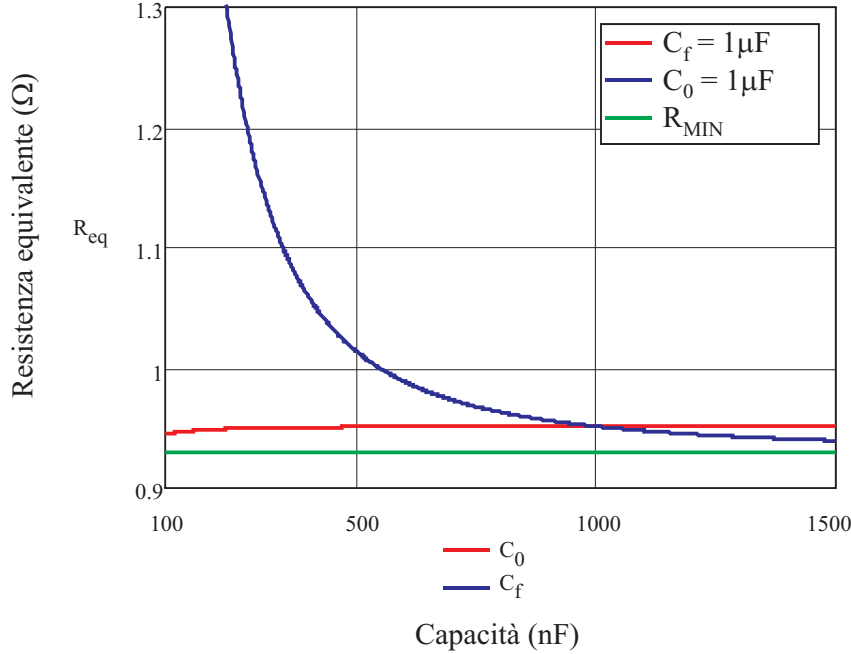


Figura 5.7: R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$.

Per capire meglio questo comportamento, in Figura 5.7 è riportato l'andamento di R_{eq} al variare di C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$. Si osserva che variazioni nella capacità di uscita C_0 non portano sostanziali riduzioni di R_{eq} . Di conseguenza la curva al variare di C_f rimane identica anche per valori di C_0 diversi da $1\mu F$ mentre R_{eq} dipende soprattutto dal valore della capacità volante.

In Figura 5.8a è riportato l'andamento del ripple ΔV sulla tensione di uscita nelle condizioni nominali al variare di C_0 e per il valore di capacità volante scelto. Si osserva che anche l'andamento di ΔV decresce esponenzialmente. Perciò, per valori di C_0 crescenti, la diminuzione del ripple sulla tensione di uscita sarà sempre meno apprezzabile. Dalla simulazione riportata in Figura 5.8b sembrerebbe inoltre che valori di C_0 ridotti garantiscano comunque un valore di ΔV molto basso. Questo risultato è coerente con il modello semplificato utilizzato, tuttavia, per dimensionare correttamente la capacità di uscita, è necessario considerare l'effetto dei tempi morti necessari al comando degli interruttori.

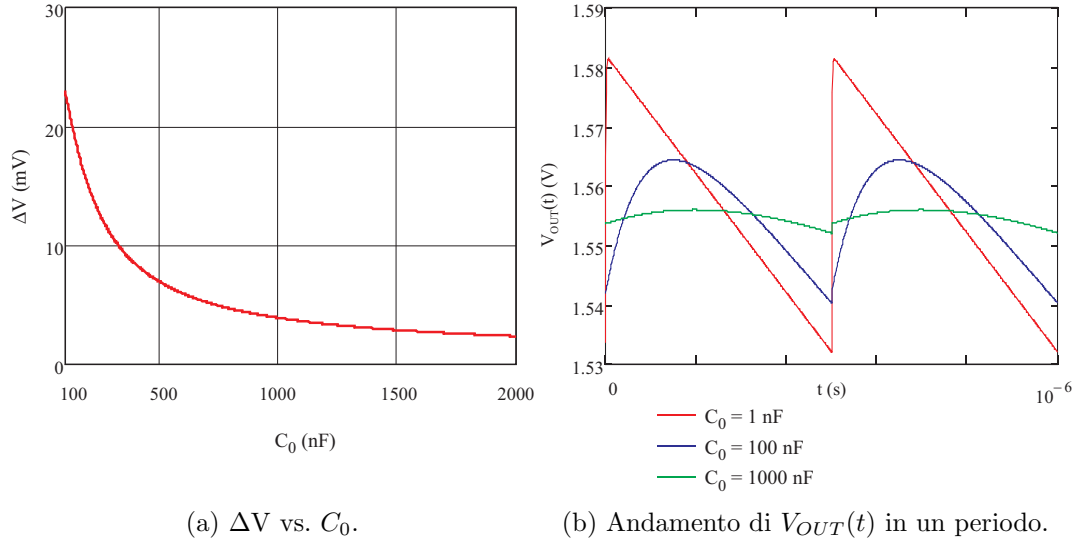


Figura 5.8: Andamento del ripple sulla tensione di uscita in funzione di C_0 .

Sia t_{dead} il tempo morto necessario al passaggio tra una fase e la successiva. In questo intervallo temporale la capacità volante non è connessa al circuito mentre la corrente di carico è fornita dalla capacità di uscita. La tensione di uscita quindi calerà di:

$$\Delta V_{dt} = \frac{I_0 t_{dead}}{C_0}. \quad (5.11)$$

Per valutare l'effetto sulla resistenza di uscita del convertitore si assume $t_{dead} = 10ns$, dell'ordine di grandezza del valore, successivamente misurato, del generatore di segnali utilizzato. Nelle condizioni nominali, per $C_0 = 1nF$:

$$\Delta V_{dt} = 1V. \quad (5.12)$$

In ogni intervallo t_{dead} si può considerare la tensione media di uscita diminuita del valore:

$$\Delta V_m = \frac{1}{2} \frac{I_0 t_{dead}}{C_0}, \quad (5.13)$$

da cui è possibile ricavare l'aumento ΔR_{eq} della resistenza equivalente del convertitore, considerando che in un periodo ci sono due commutazioni.

$$\Delta R_{eq} = \frac{t_{dead}^2 f_s}{C_0} = 0.1\Omega. \quad (5.14)$$

Questo aumento influisce notevolmente sul valore medio della tensione di uscita. Si è scelto quindi:

$$C_0 = 1\mu\text{F} \quad (5.15)$$

in modo da minimizzare l'effetto dei tempi morti ed ottenere un basso ripple sulla tensione di uscita:

$$\Delta V = 3.9\text{mV}. \quad (5.16)$$

Se le specifiche di progetto prevedono un valore superiore di ripple sulla tensione di uscita, è possibile utilizzare un valore inferiore di capacità di uscita. Dalla Figura 5.5 si osserva che valori inferiori di C_0 comportano la diminuzione della frequenza limite tra SSL e FSL. Di conseguenza, per ottenere lo stesso valore di R_{eq} , è sufficiente un valore inferiore di C_f . Tuttavia, se si dimensiona il convertitore per operare nella parte di curva con pendenza minima, ossia per ottenere il minimo valore di resistenza di uscita, la diminuzione del valore di C_f è trascurabile. Per i componenti scelti, dalla 5.7 si ricavano infine i valori nominali di resistenza e tensione di uscita.

Tensione di uscita (V)	Resistenza equivalente (Ω)	Ripple (mV)
1.555	0.95	3.9

Tabella 5.2: Valori nominali per il convertitore 1/2.

5.2.2 Convertitore con rapporto di conversione 1/3

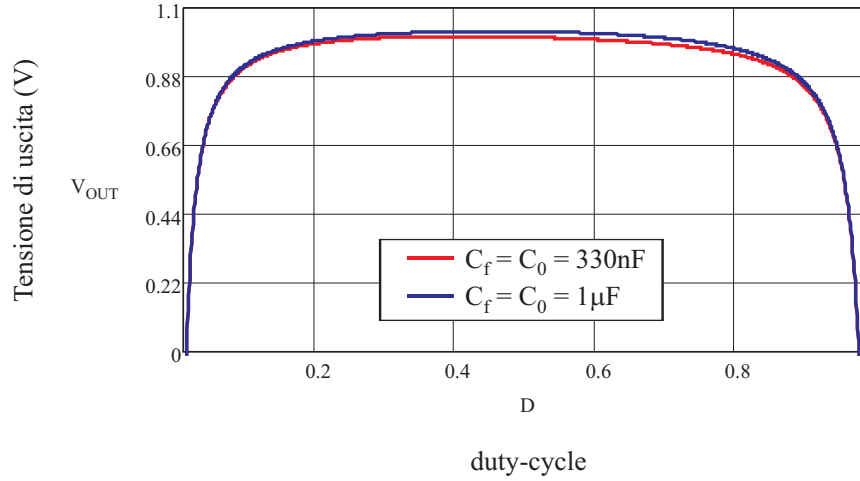


Figura 5.9: V_{OUT} vs. D .

In Figura 5.4 è riportato l'andamento di V_{OUT} in funzione del duty-cycle. Si osserva che il valore ottimale di duty-cycle è influenzato anche dal valore assunto dalle capacità del circuito. Tuttavia la variazione è minima ed è possibile assumere come valore di duty-cycle nelle condizioni nominali:

$$D = 0.4, \quad (5.17)$$

in quanto piccole variazioni attorno a questo valore non cambiano il comportamento del convertitore. Dal modello medio è possibile ricavare il limite minimo per la resistenza di uscita:

$$R_{MIN} = 0.65\Omega. \quad (5.18)$$

Seguendo lo stesso procedimento utilizzato per il convertitore con rapporto di conversione 1/2, dai grafici riportati in Figura 5.10-5.13, sono stati ricavati i valori ottimali per le capacità volanti e di uscita. Il dimensionamento ottimale prevede valori identici delle capacità volanti, per cui entrambe sono state indicate con il valore C_f .

$$C_f = 1\mu F, \quad (5.19)$$

$$C_0 = 1\mu F. \quad (5.20)$$

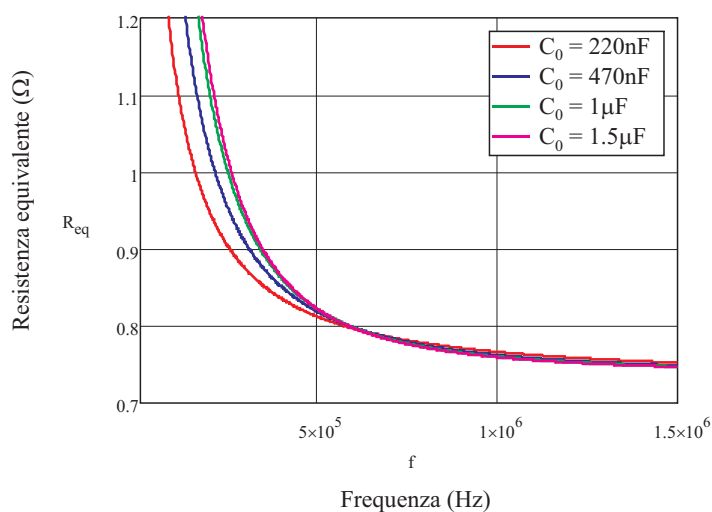


Figura 5.10: R_{eq} vs. f_s con $C_f = 1\mu\text{F}$.

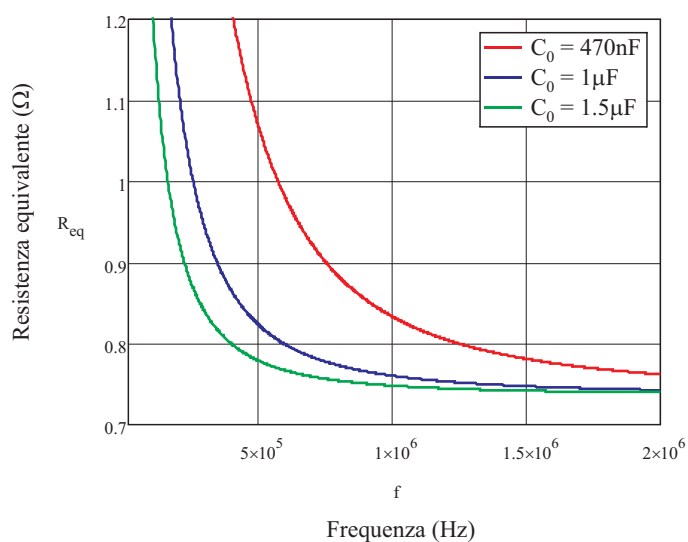


Figura 5.11: R_{eq} vs. f_s con $C_0 = 1\mu\text{F}$.

Per i componenti scelti, dalla 5.7 si ricavano i valori nominali di resistenza e tensione di uscita.

Tensione di uscita (V)	Resistenza equivalente (Ω)	Ripple (mV)
1.024	0.76	5.1

Tabella 5.3: Valori nominali per il convertitore 1/3.

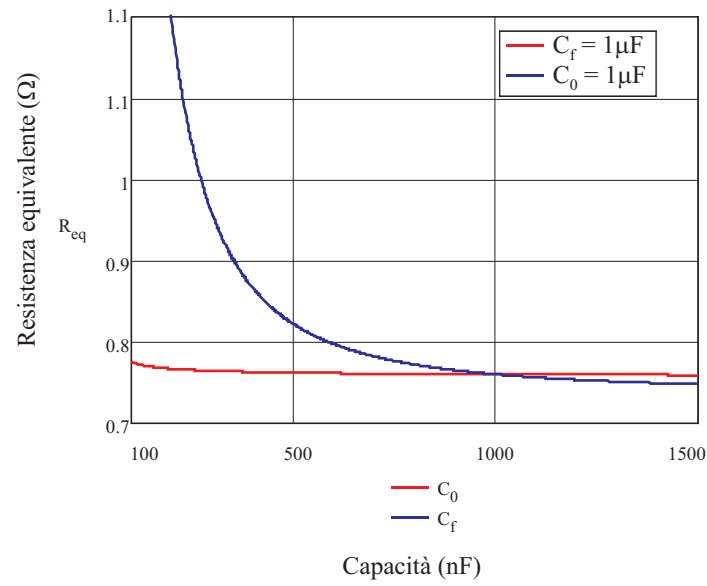


Figura 5.12: R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$.

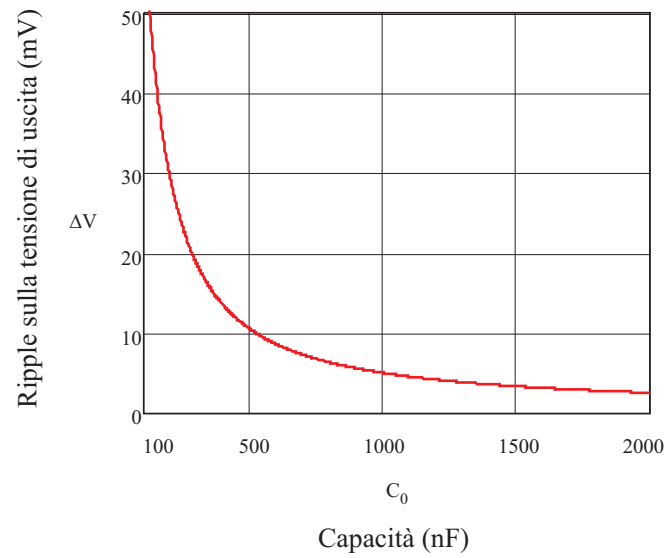


Figura 5.13: Andamento del ripple sulla tensione di uscita in funzione di C_0 .

5.2.3 Convertitore con rapporto di conversione 2/3

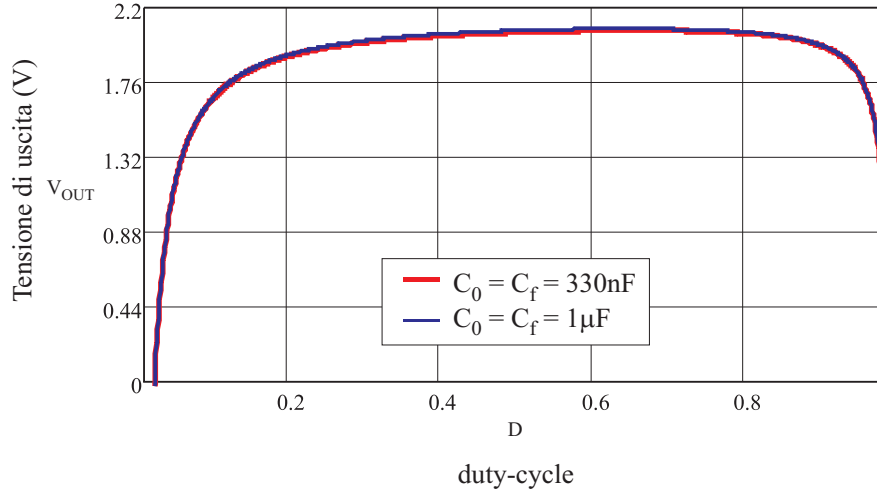


Figura 5.14: V_{OUT} vs. D .

In Figura 5.14 è riportato l'andamento di V_{OUT} in funzione del duty-cycle. Si osserva che anche per questo convertitore il duty-cycle ottimale è influenzato, in modo lieve, dal valore delle capacità. Risulta quindi possibile assumere come valore di duty-cycle nelle condizioni nominali:

$$D = 0.6, \quad (5.21)$$

poichè anche in questo caso piccole variazioni attorno a tale valore non cambiano il comportamento del convertitore. Dal modello medio si ricava infine il limite minimo per la resistenza di uscita:

$$R_{MIN} = 1.25\Omega. \quad (5.22)$$

Si riportano di seguito i grafici analizzati in precedenza, ricalcolati per questo convertitore. Seguendo lo stesso procedimento utilizzato per i convertitori con rapporti di conversione 1/2 e 2/3, dai grafici riportati in Figura 5.15-5.18 sono stati ricavati i valori ottimali per le capacità volanti e di uscita. Il dimensionamento ottimale prevede valori identici delle capacità volanti, per cui entrambe sono state indicate con il valore C_f .

$$C_f = 1\mu F, \quad (5.23)$$

$$C_0 = 1\mu F. \quad (5.24)$$

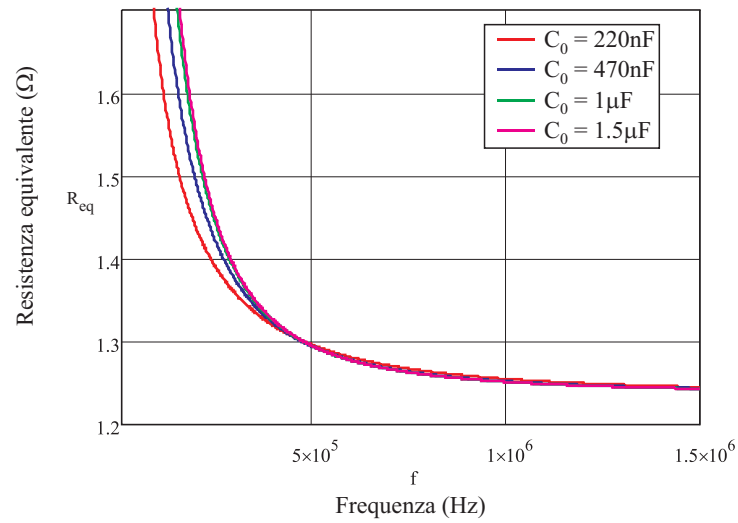


Figura 5.15: R_{eq} vs. f_s con $C_f = 1\mu\text{F}$.

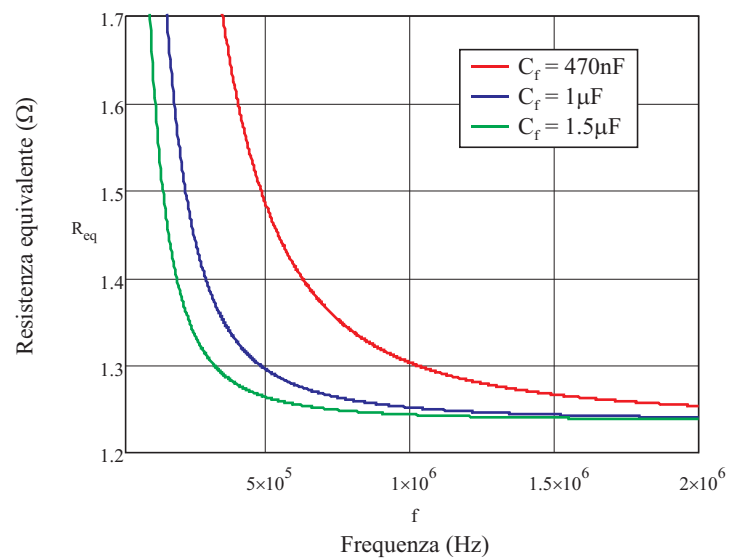


Figura 5.16: R_{eq} vs. f_s con $C_0 = 1\mu\text{F}$.

Per i componenti scelti, dalla 5.7 si ricavano i valori nominali di resistenza e tensione di uscita.

Tensione di uscita (V)	Resistenza equivalente (Ω)	Ripple (mV)
2.075	1.25	7.2

Tabella 5.4: Valori nominali per il convertitore 2/3.

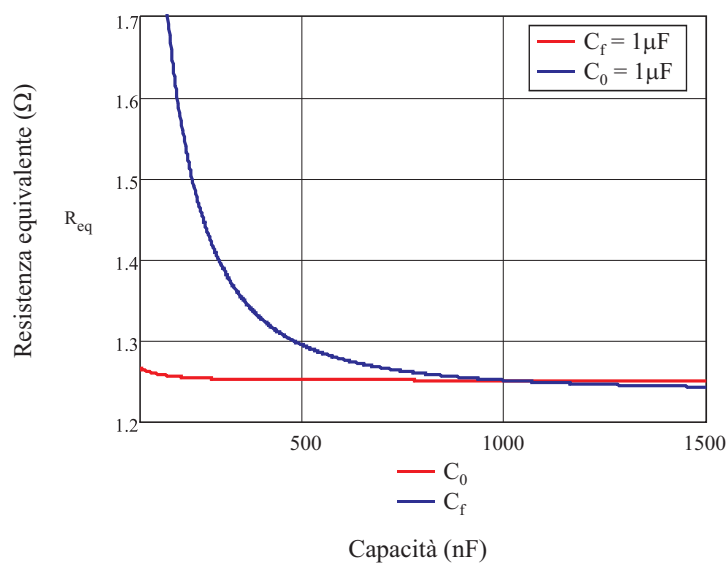


Figura 5.17: R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$.

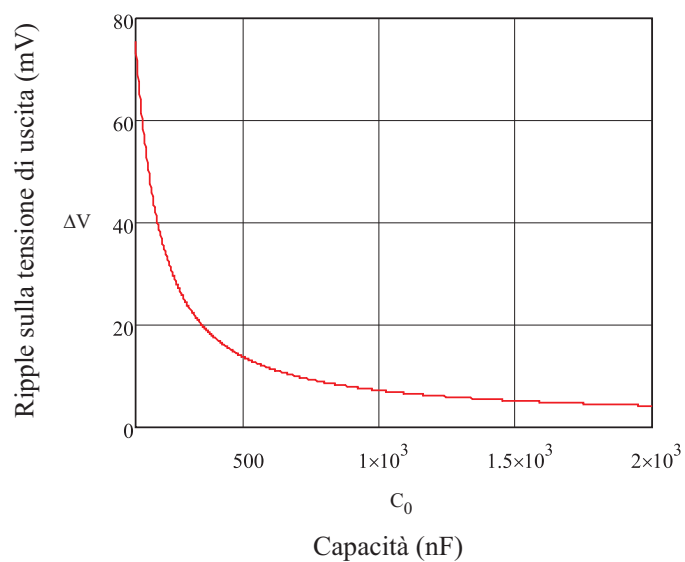


Figura 5.18: Andamento del ripple sulla tensione di uscita in funzione di C_0 .

5.2.4 Misure

Convertitore con rapporto di conversione 1/2

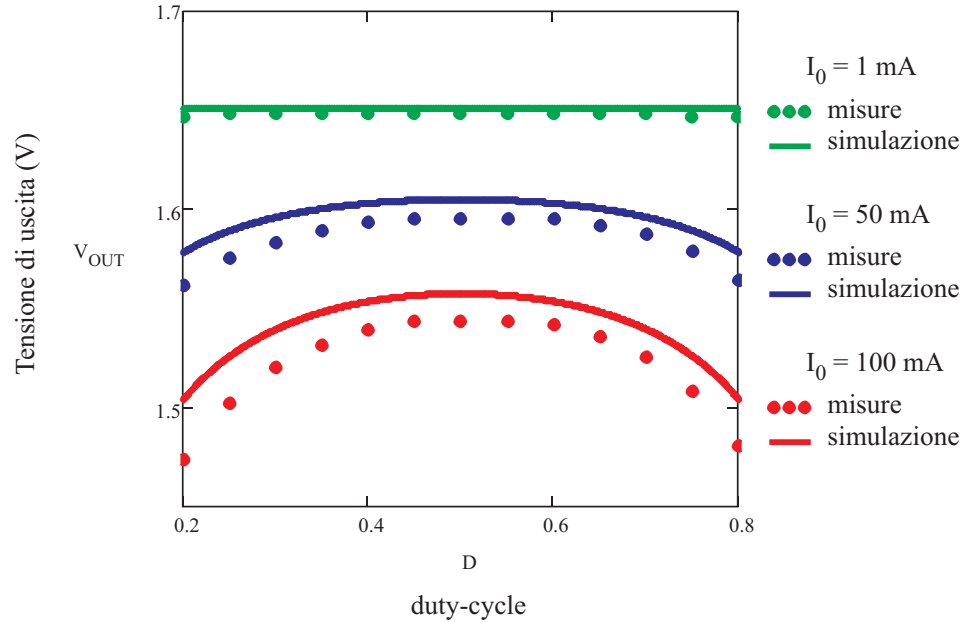
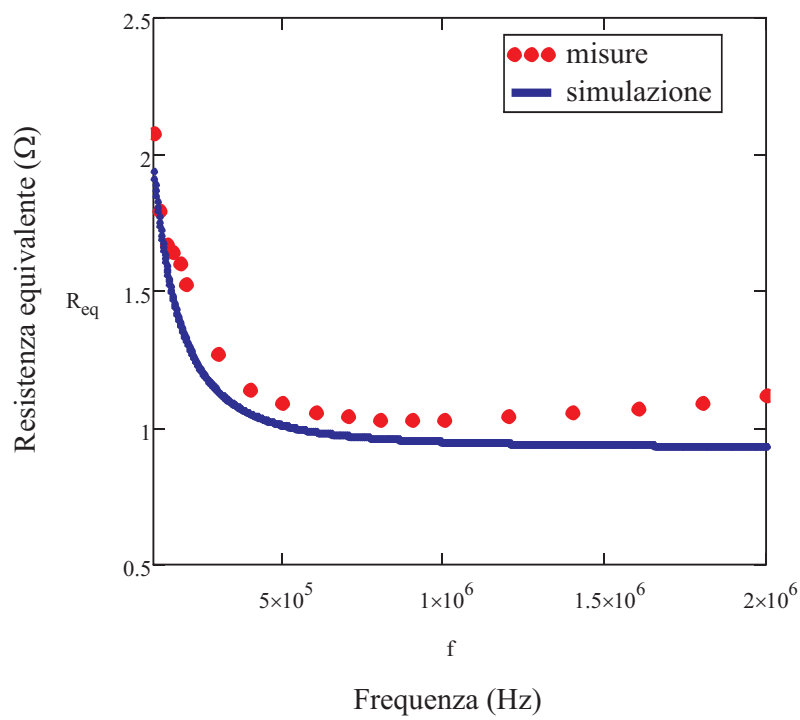
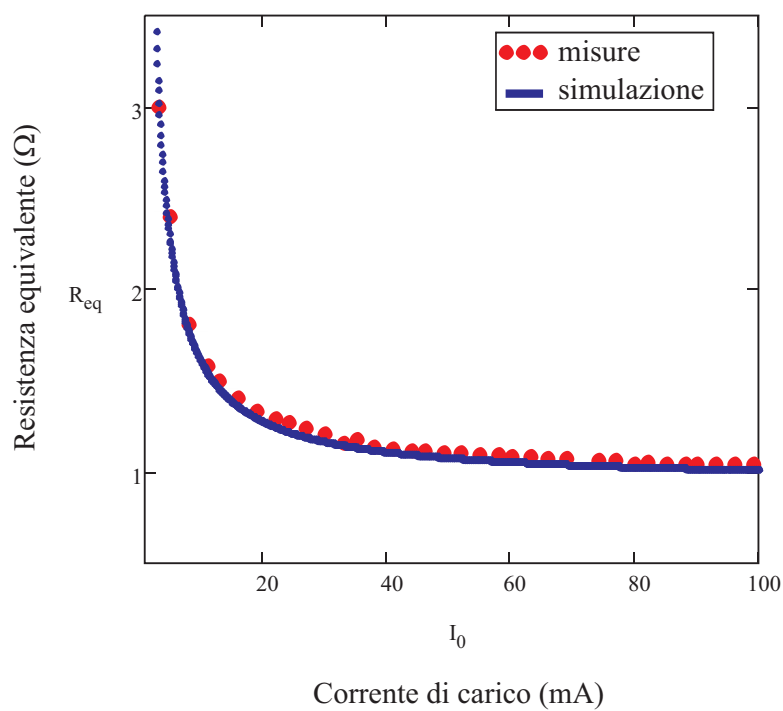


Figura 5.19: Andamento della tensione al variare del duty-cycle.

In Figura 5.19 sono confrontate le simulazioni e i dati sperimentali relativi all'andamento della tensione di uscita del convertitore al variare del duty-cycle, per diversi valori della corrente di carico I_0 . Si osserva che i risultati seguono in modo preciso il modello avendo tuttavia un valore leggermente inferiore di tensione di uscita.

Questo significa un valore maggiore della resistenza equivalente di uscita, evidente anche dalla Figura 5.20, dove è riportato l'andamento di R_{eq} al variare della frequenza di commutazione, nelle condizioni nominali. Anche in questo caso, i risultati sono in accordo con il modello, fino alla frequenza di approssimativamente 1MHz. Per frequenze di commutazione maggiori, R_{eq} tende a crescere, invece che calare fino al valore R_{MIN} , a causa delle induttanze serie delle tracce di segnale.

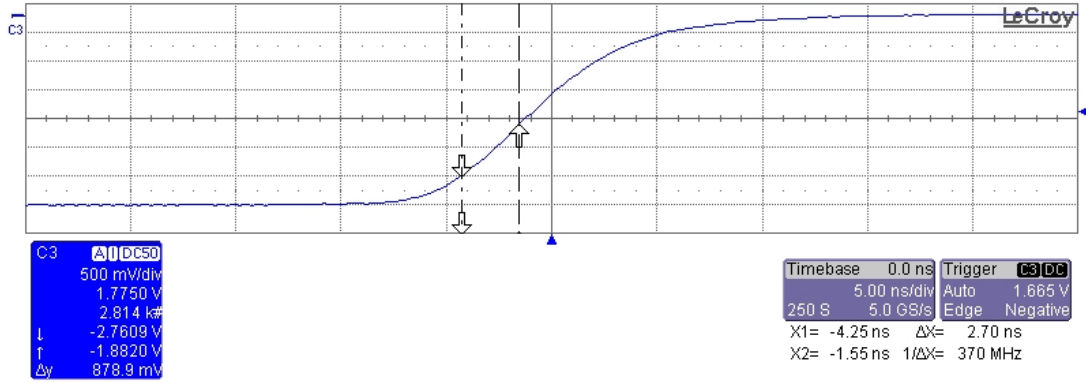
In Figura 5.21 è riportato l'andamento di R_{eq} al variare della corrente di carico. Si osserva che l'andamento non è costante come ci si aspetta. Questo effetto è dovuto ai tempi morti nelle commutazioni. I deviatori utilizzati sono caratterizzati da un livello di soglia alta, V_{HI} , al di sopra del quale si possono considerare nello stato NO e da un livello di soglia bassa, V_{LO} , al di sotto del

Figura 5.20: R_{eq} vs. f_s .Figura 5.21: R_{eq} vs. I_0 .

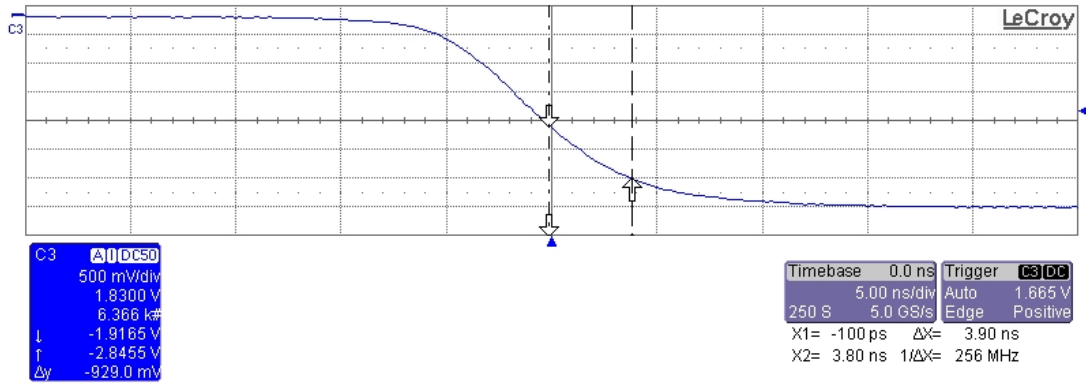
quale si possono considerare nello stato NC. Dal datasheet del componente si ricava il loro valore nel caso peggiore:

$$V_{HI} = 1.4V, \quad (5.25)$$

$$V_{LO} = 0.5V. \quad (5.26)$$



(a) Fronte di salita.



(b) Fronte di discesa.

Figura 5.22: Segnale di comando dei deviatori.

In Figura 5.22 sono riportati i fronti di salita e di discesa del segnale di comando applicato ai convertitori, realizzato tramite un generatore di segnali. Si possono quindi stimare come tempi morti nelle commutazioni il tempo che intercorre tra l'attraversamento di V_{LO} e V_{HI} , e viceversa. Questi, indicati in figura con ΔX , valgono:

$$t_{dead,rise} = 2.7ns, \quad (5.27)$$

$$t_{dead,fall} = 3.9ns. \quad (5.28)$$

Si può quindi stimare che la durata di ogni fase sia ridotta di:

$$\frac{t_{dead}}{2} = \frac{t_{dead,rise} + t_{dead,fall}}{2} = 3.3\text{ns}, \quad (5.29)$$

periodo nel quale la capacità volante non è connessa alla capacità di uscita. In questo intervallo la tensione di uscita, per corrente di carico costante, calerà del valore ΔV_{dt} , portando quindi all'aumento della resistenza equivalente del convertitore, come visto in precedenza.

La riduzione della durata delle due fasi, causata dai tempi morti, è costante. Ne segue che minore è il duty-cycle, maggiore sarà il contributo dato dai tempi morti al valore di R_{eq} . Si è simulato l'andamento di V_{OUT} riducendo di 2ns il periodo d'integrazione per ogni fase in modo da realizzare approssimativamente l'effetto dei tempi morti ed è stato confrontato con i dati sperimentali in Figura 5.21. Si osserva che la simulazione rispecchia l'andamento dei dati acquisiti.

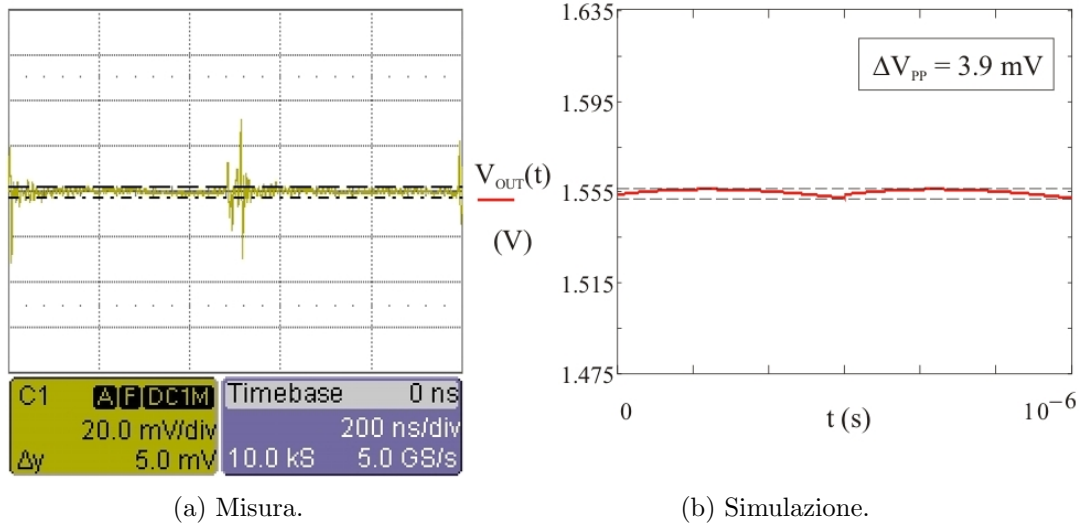


Figura 5.23: Ripple sulla tensione di uscita in condizioni nominali.

In Figura 5.23 sono confrontati la simulazione e la misura effettuata del ripple sulla tensione di uscita in un periodo, riportati nella stessa scala. In 5.23a è indicata con Δy l'ampiezza del ripple delimitata dai cursori dell'oscilloscopio:

$$\Delta y = 5\text{mV}. \quad (5.30)$$

Convertitore con rapporto di conversione 2/3

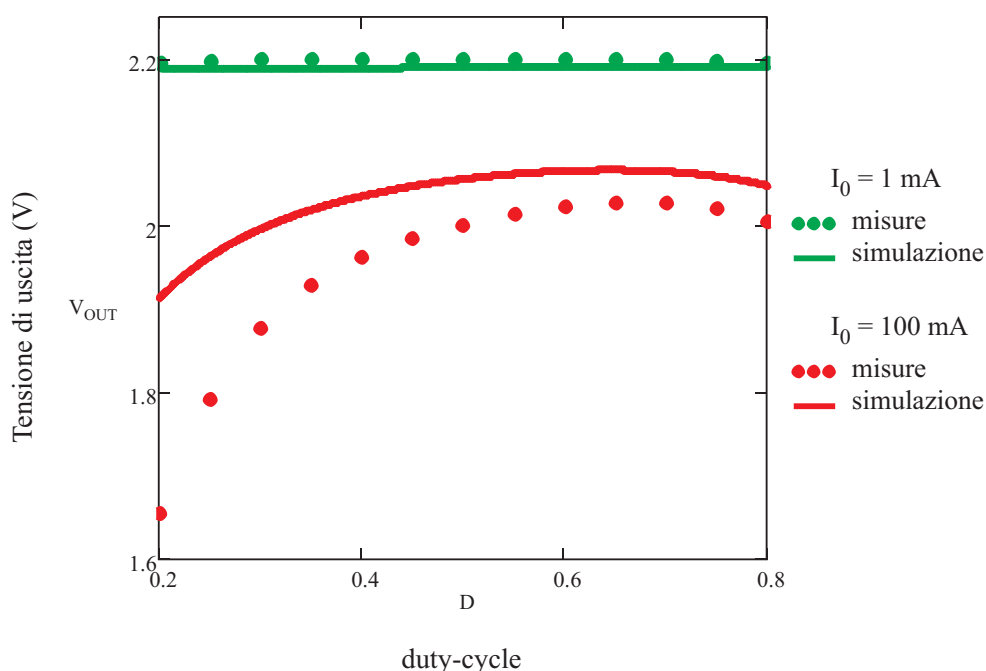


Figura 5.24: Andamento della tensione al variare del duty-cycle.

In Figura 5.24 sono confrontate le simulazioni e i dati sperimentali relativi all'andamento della tensione di uscita del convertitore al variare del duty-cycle, per diversi valori della corrente di carico I_0 . Si osserva per bassi valori di duty-cycle l'aumento della resistenza equivalente di uscita dovuto ai tempi morti.

Dalla Figura 5.25 si osserva che la resistenza equivalente ottenuta differisce maggiormente dal valore previsto rispetto al convertitore precedente. Inoltre essa inizia a crescere per frequenze superiori a 500kHz. Questo indica una maggior influenza delle componenti parassite del circuito. Il convertitore con rapporto di conversione 1/2 è costituito da una coppia di deviatori e una capacità volante in meno rispetto a questo convertitore. Conseguentemente, la sua dimensione è praticamente metà. Questo si traduce in un valore di resistenza ed induttanza serie inferiore, nonché in un minor numero di saldature. Queste sono state eseguite manualmente ed è probabile che in alcuni punti siano fredde. Con il termine fredda si intende una saldatura eseguita correttamente dal punto di vista meccanico ma non dal punto di vista elettrico, comportando un'elevata resistenza serie. In questa applicazione, dove la resistenza serie delle piste di segnale ha un ruolo determinante, anche piccole imperfezioni, inevitabili nella saldatura manuale dei componenti, possono contribuire significativamente al suo incremento.

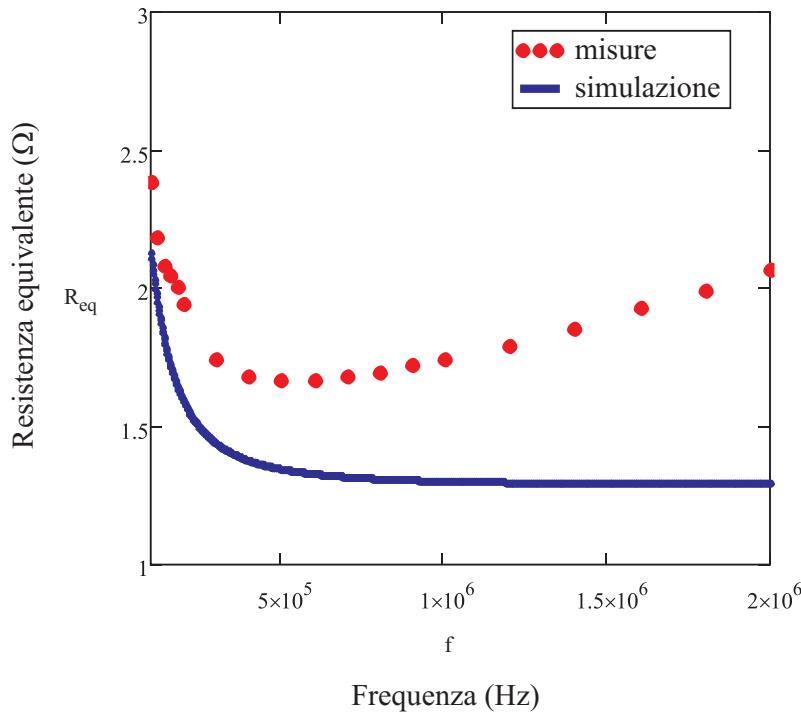


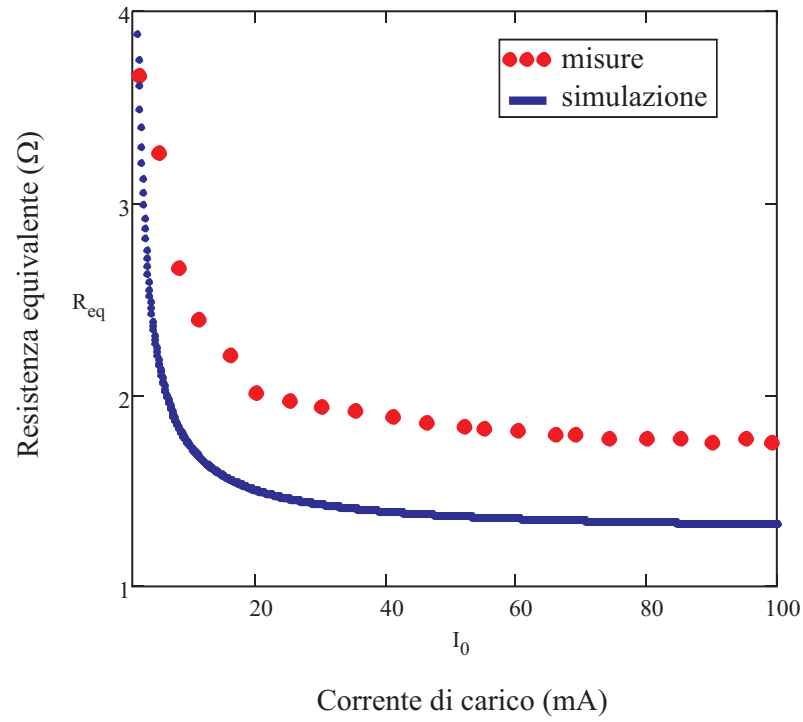
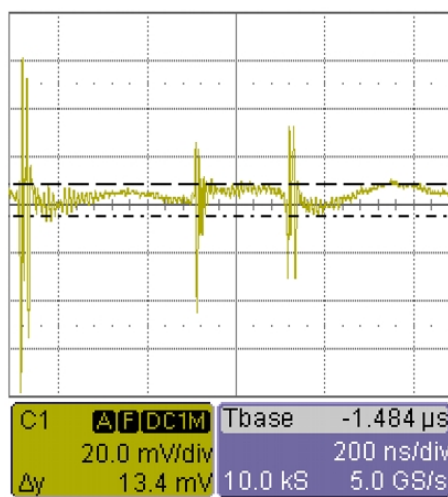
Figura 5.25: R_{eq} vs. f_s .

Risulta quindi necessario, nel prototipo successivo, un'accurata disposizione dei componenti e la riduzione al minimo delle tracce di segnale in modo da minimizzare i valori di resistenza ed induttanza serie.

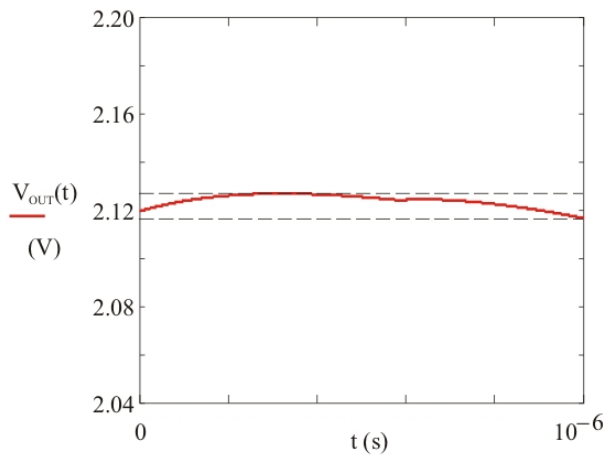
In Figura 5.26 è riportato l'andamento di R_{eq} al variare della corrente di carico, nelle condizioni nominali. Si osserva che la simulazione, comprensiva dell'effetto dei tempi morti stimato in precedenza, rispecchia l'andamento dei dati acquisiti.

In Figura 5.27 sono confrontati la simulazione e la misura effettuata del ripple sulla tensione di uscita in un periodo, riportati nella stessa scala. In 5.27a è indicata con Δy l'ampiezza del ripple delimitata dai cursori dell'oscilloscopio:

$$\Delta y = 13.4 \text{ mV}. \quad (5.31)$$

Figura 5.26: R_{eq} vs. I_0 .

(a) Misura.



(b) Simulazione.

Figura 5.27: Ripple sulla tensione di uscita in condizioni nominali.

5.3 Secondo prototipo

Si vogliono dotare i tre convertitori di controllo a retroazione della tensione di uscita. Nel secondo prototipo si utilizzano i dispositivi TS3A24159, caratterizzati da un valore inferiore di resistenza in conduzione. Questa variazione non influenza il comportamento del convertitore, ma solo il valore minimo raggiungibile dalla resistenza equivalente del convertitore, perciò si mantengono gli stessi valori scelti in precedenza per le capacità. Si riportano in Tabella 5.5 i valori nominali, ricavati con lo stesso procedimento seguito per il primo prototipo.

Rapporto di conversione	duty-cycle	R_{eq}	V_{OUT}	Ripple ΔV
$M_1 = 1/2$	0.5	0.57Ω	1593mV	6.4mV
$M_2 = 1/3$	0.4	0.46Ω	1054mV	4.3mV
$M_3 = 2/3$	0.6	0.71Ω	2129mV	9.2mV

Tabella 5.5: Valori nominali per il secondo prototipo.

Si esegue infine il dimensionamento del controllo dei convertitori, in modo tale da garantirne il funzionamento in ogni condizione di carico, fino al valore nominale di $I_0 = 100\text{mA}$.

5.3.1 Convertitore con rapporto di conversione 1/2

Per realizzare il controllo diretto del duty-cycle è necessario ricavare la funzione di trasferimento $G_{yd}(s)$ tra duty-cycle e tensione di uscita. Si riporta quindi la 4.8 calcolata per questo convertitore:

$$\begin{aligned}
 G_{yd}(s) &= K' \frac{s^2 ESR_0 + s[p_1(R_F + ESR_0) + 2p_2 ESR_0] + 2p_1 p_2 (R_F + ESR_0)}{s^2 + s(p_1 + p_2) + p_1 p_2 4D(1-D)} \\
 &= K_{yd} \frac{s^2 \frac{ESR_0}{2p_1 p_2 (R_F + ESR_0)} + s \frac{p_1(R_F + ESR_0) + 2p_2 ESR_0}{2p_1 p_2 (R_F + ESR_0)} + 1}{\frac{s^2}{p_1 p_2 4D(1-D)} + s \frac{(p_1 + p_2)}{p_1 p_2 4D(1-D)} + 1}, \quad (5.32)
 \end{aligned}$$

dove:

$$K' = \frac{I_0(1-2D)}{2D(1-D)}, \quad (5.33)$$

$$K_{yd} = I_0 \frac{(1-2D)}{4D^2(1-D)^2} (R_F + ESR_0). \quad (5.34)$$

Si osserva che il guadagno K_{yd} tende a diventare infinito quando il duty-cycle tende a zero, mentre si annulla per $D = 0.5$.

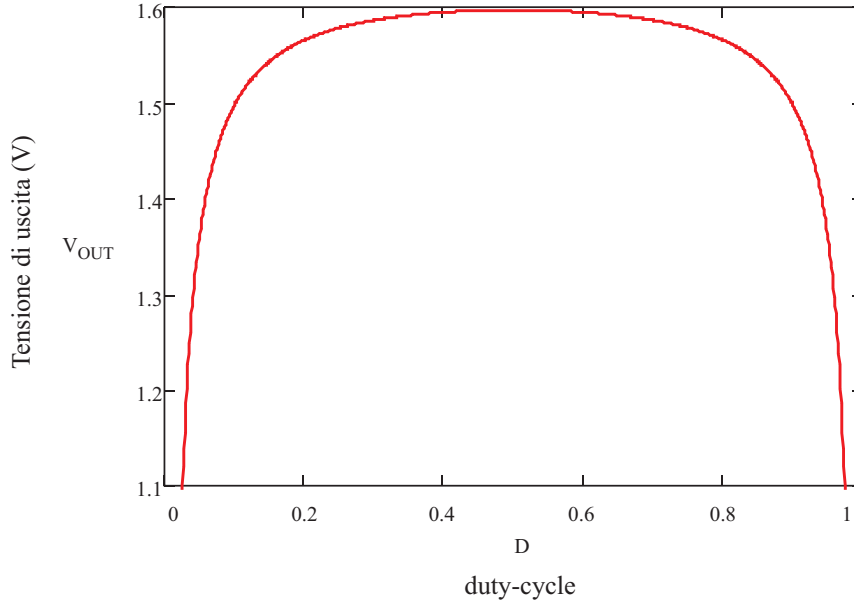


Figura 5.28: V_{OUT} vs. D .

Questo risultato rispecchia il comportamento del convertitore, come riportato in Figura 5.28. Si osserva infatti che per valori bassi di duty-cycle piccole oscillazioni del suo valore comportano grandi variazioni della tensione di uscita, cioè il guadagno in G_{yd} è elevato. Per $D = 0.5$, invece, piccole variazioni del duty-cycle non cambiano il valore della tensione di uscita il che implica guadagno nullo. Si osserva infine che per valori maggiori di duty-cycle, la tensione di uscita diminuisce. Questo significa che il sistema, una volta retroazionato, per $D > 0.5$ diventa instabile poichè ad una diminuzione della tensione di uscita il sistema risponde aumentando il duty-cycle, provocando un ulteriore calo dell'uscita. Per $D > 0.5$ infatti il guadagno K_{yd} cambia segno, rendendo il sistema instabile. Si osserva infine che il guadagno K_{yd} dipende anche dalla corrente di carico. In assenza di carico $K_{yd} = 0$ annullando di conseguenza il guadagno d'anello. Esistono quindi due punti di lavoro in cui si verifica la perdita del controllo, per $I_0 = 0$ e per $D = 0.5$. Si studia perciò il comportamento del sistema in prossimità di questi punti di lavoro. Nel secondo caso inoltre il sistema è instabile e perciò risulta necessario utilizzare un valore nominale di duty-cycle inferiore. Questo vincolo contribuisce ad aumentare la resistenza equivalente di uscita. Si è scelto perciò di utilizzare un controllore PWM dotato della possibilità di impostare un limite

massimo per il duty-cycle. In questo modo, operando con $D = 0.5$, si impedisce al sistema di diventare instabile, poichè non può aumentare il duty-cycle oltre tale valore.

In Figura 5.30 è riportato il diagramma di Bode di G_{yd} nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Nel secondo caso si è considerato il valore di duty-cycle che assumerebbe il sistema una volta retroazionato, in modo da mantenere costante la tensione di uscita. Per $D = 0.5$ il guadagno d'anello è nullo, perciò per il dimensionamento del controllo si è assunto nelle condizioni nominali $D = 0.49$, poichè comporta praticamente lo stesso valore di tensione di uscita, come si vede dalla Figura 5.28. Confrontando il diagramma con la 5.32 si osserva che la posizione degli zeri rimane costante e al di sopra della frequenza di commutazione. I poli da coincidenti si spostano fino ad arrivare uno nell'origine e l'altro alla frequenza $(p_1 + p_2)/2\pi$.

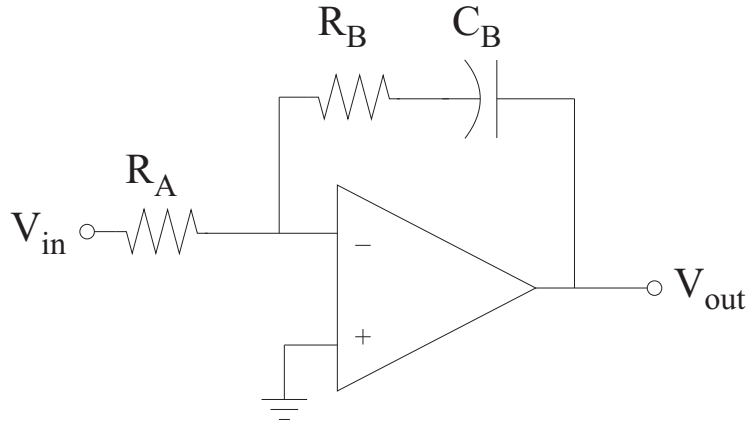


Figura 5.29: Regolatore PI.

Si sceglie di utilizzare un regolatore di tipo PI, in modo da avere errore nullo a regime. Lo schema del regolatore è riportato in Figura 5.29. La funzione di trasferimento risulta:

$$G_{PI}(s) = \frac{V_{out}}{V_{in}} = -\frac{1}{sC_BR_A}(1 + sC_BR_B) = -K_r \frac{1}{s} \left(1 + \frac{s}{\omega_{zr}}\right), \quad (5.35)$$

dove:

$$K_r = 1/C_BR_A, \quad (5.36)$$

$$\omega_{zr} = 1/C_BR_B. \quad (5.37)$$

Poichè l'amplificatore reale è caratterizzato da un prodotto banda guadagno (GBP) limitato, è presente anche un polo la cui posizione è determinata da ω_{zr} e K_r :

$$K_{hf} = \lim_{s \rightarrow \infty} G_{PI}(s) = -\frac{K_r}{\omega_{zr}}, \quad (5.38)$$

da cui la posizione del polo alla pulsazione:

$$\omega_{pr} = \frac{2\pi \text{GBP}}{|K_{hf}|} = 2\pi \text{GBP} \frac{\omega_{zr}}{K_r}. \quad (5.39)$$

La funzione di trasferimento del regolatore, riferita allo schema a blocchi di Figura 4.2, risulta infine:

$$G_r(s) = \frac{K_r}{s} \frac{\left(1 + \frac{s}{\omega_{zr}}\right)}{\left(1 + \frac{s}{\omega_{pr}}\right)}. \quad (5.40)$$

Fissati i valori di K_r e ω_{zr} la posizione del polo è perciò determinata. Il guadagno d'anello del sistema risulta:

$$T(s) = G_r(s)G_{PWM}(s)G_{yd}(s) = K \cdot \frac{1}{s} \frac{\left(1 + \frac{s}{\omega_{zr}}\right)}{\left(1 + \frac{s}{\omega_{pr}}\right)} \cdot G_{yd}, \quad (5.41)$$

con:

$$K = K_r \frac{1}{W}. \quad (5.42)$$

Il dimensionamento del regolatore è stato effettuato graficamente tramite lo strumento SISO Design Tool dell'applicativo MATLAB. Per questo convertitore, come per i successivi, si è dovuto trovare un compromesso tra la velocità del controllo nelle condizioni di carico nominale e la stabilità per carico ridotto, a causa dalla grande variazione del guadagno di $G_{yd}(s)$ tra le due condizioni di funzionamento.

Per il regolatore PWM UC3823A utilizzato:

$$G_{PWM}(s) = 0.556, \quad (5.43)$$

$$GBP = 12\text{MHz}. \quad (5.44)$$

Si sceglie quindi:

$$f_{zr} = 20\text{kHz}, \quad (5.45)$$

$$K_r = 1.5 \times 10^6 = 123.52\text{dB}, \quad (5.46)$$

in modo da massimizzare la banda passante del sistema mantenendo un margine di fase elevato anche per basse correnti di carico.

In Figura 5.31 è riportato il diagramma di Bode del guadagno d'anello nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Il prodotto banda-guadagno GBP può essere inferiore al valore di 12MHz, a seconda del dispositivo, fino ad un minimo di 5MHz. La frequenza del polo introdotto dal regolatore sarà quindi:

$$420\text{kHz} \leq f_{pr} \leq 1\text{MHz}. \quad (5.47)$$

Dalla Figura 5.31 si osserva che lo spostamento del polo in questo intervallo di frequenze non comporta una grossa variazione dei valori ottenuti. I valori di margine di fase e della banda passante ottenuti sono riportati nella Tabella 5.6.

Corrente di carico I_0	Margine di fase Φ_m	Banda passante
100mA	91.5°	600Hz
5mA	77.5°	188kHz

Tabella 5.6: Margine di fase e banda passante per il convertitore 1/2.

I valori di resistenze e capacità per realizzare il regolatore sono legati dalle seguenti equazioni, derivate da 5.36 e 5.37:

$$\frac{R_B}{R_A} = \frac{K_r}{\omega_{zr}}, \quad (5.48)$$

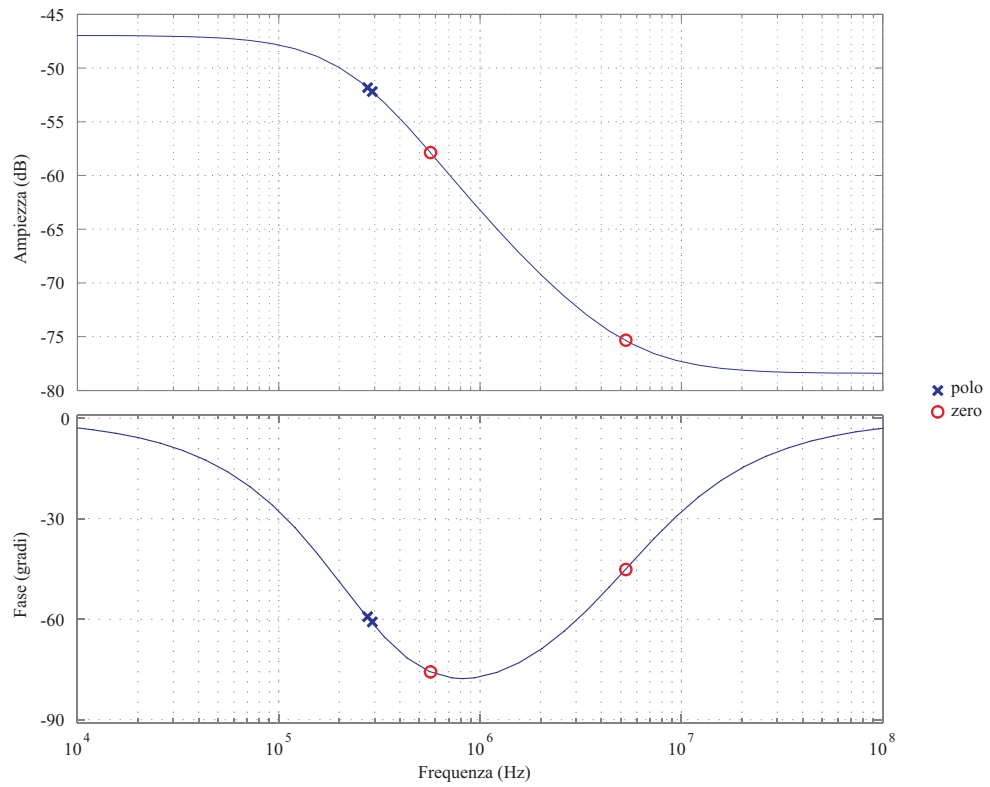
$$C_B = \frac{1}{\omega_{zr} R_B}. \quad (5.49)$$

Si sceglie, tra le combinazioni possibili:

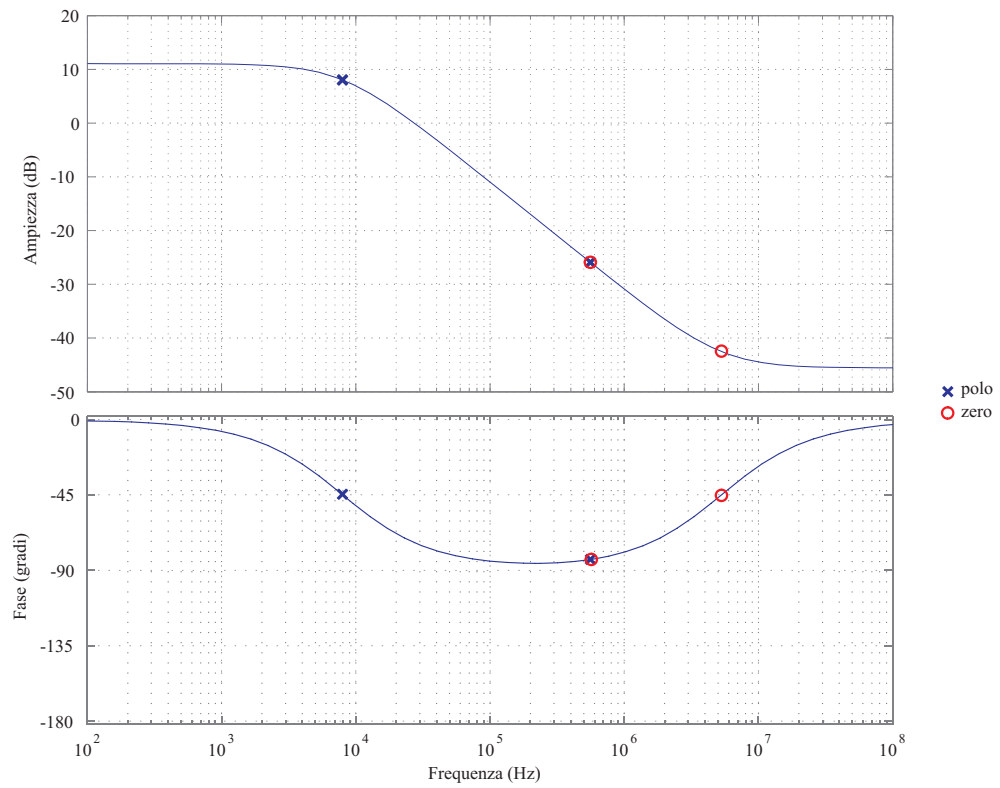
$$R_A = 2\text{k}\Omega, \quad (5.50)$$

$$R_B = 24\text{k}\Omega, \quad (5.51)$$

$$C_B = 330\text{pF}. \quad (5.52)$$

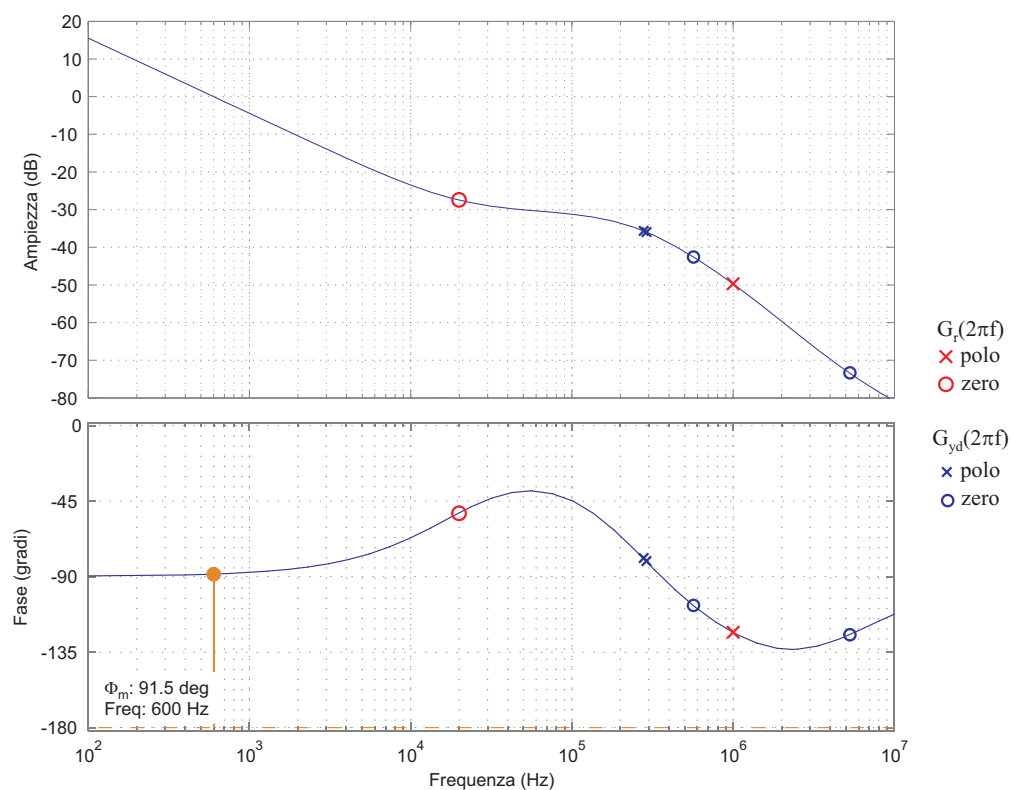


(a)

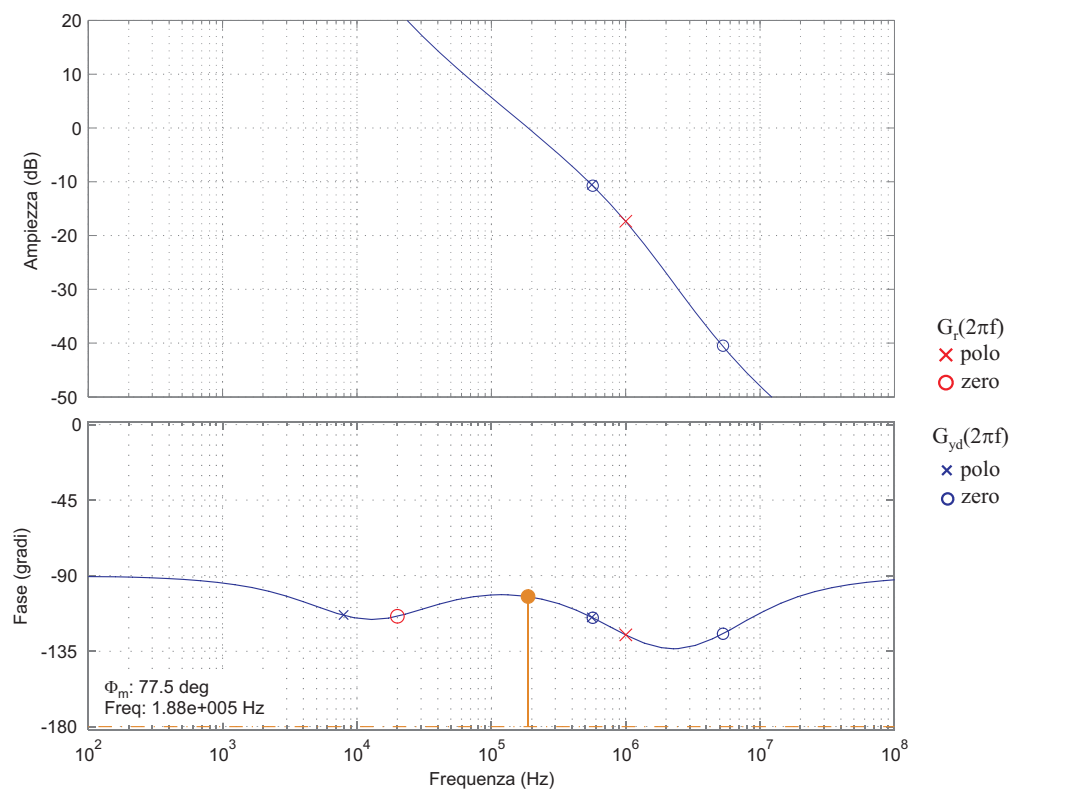


(b)

Figura 5.30: Convertitore 1/2. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.49$, $I_0 = 100\text{mA}$ (a) $D = 0.014$, $I_0 = 5\text{mA}$ (b).



(a)



(b)

Figura 5.31: Convertitore 1/2. Diagramma di Bode del guadagno d'anello per $D = 0.49$, $I_0 = 100\text{mA}$ (a) $D = 0.014$, $I_0 = 5\text{mA}$ (b).

5.3.2 Convertitore con rapporto di conversione 1/3

Per questo sistema non si è trovata l'espressione esplicita della $G_{yd}(s)$, in quanto molto complessa. Questa è stata quindi ricavata tramite l'implementazione del modello in MATLAB e in Figura 5.32 ne è riportato il diagramma di Bode nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Tramite simulazione parametrica si è ricavato il valore nominale di duty-cycle, soglia limite per la stabilità del sistema:

$$D_{NOM} = 0.33. \quad (5.53)$$

Come ci si aspetta, il comportamento è analogo al convertitore precedente. Il guadagno diminuisce al crescere del duty-cycle e si osserva che sono presenti numerose coppie polo-zero che, al crescere del duty-cycle, si avvicinano in frequenza, portando la fase vicino ai -180° .

Il dimensionamento del regolatore è stato effettuato graficamente tramite lo strumento SISO Design Tool dell'applicativo MATLAB. Anche in questo caso si è dovuto trovare un compromesso tra la velocità del controllo nelle condizioni di carico nominale e la stabilità per carico ridotto. Si osserva che, poichè il guadagno di G_{yd} varia in un intervallo minore, si riesce ad ottenere una banda passante maggiore nelle condizioni nominali e un margine di fase superiore nelle condizioni di carico minimo.

Utilizzando lo stesso controllore PWM, si sceglie:

$$f_{zr} = 6\text{kHz}, \quad (5.54)$$

$$K_r = 2.26 \times 10^5 = 107.1\text{dB}. \quad (5.55)$$

In Figura 5.33 è riportato il diagramma di Bode del guadagno d'anello nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Come visto in precedenza, poichè il prodotto banda-guadagno GBP può raggiungere un minimo di 5MHz, la frequenza del polo introdotto dal regolatore sarà quindi:

$$420\text{kHz} \leq f_{pr} \leq 1\text{MHz}. \quad (5.56)$$

Dalla Figura 5.33 si osserva che, anche in questo caso, lo spostamento del polo in questo intervallo di frequenze non comporta una grossa variazione del guadagno d'anello. I valori di margine di fase e banda passante ottenuti sono riportati nella Tabella 5.7.

Corrente di carico I_0	Margine di fase Φ_m	Banda passante
100mA	100°	1.11kHz
5mA	88.1°	88.3kHz

Tabella 5.7: Margine di fase e banda passante per il convertitore 1/3.

I valori di resistenze e capacità per realizzare il regolatore sono legati dalle seguenti equazioni, derivate da 5.36 e 5.37:

$$\frac{R_B}{R_A} = \frac{K_r}{\omega_{zr}}, \quad (5.57)$$

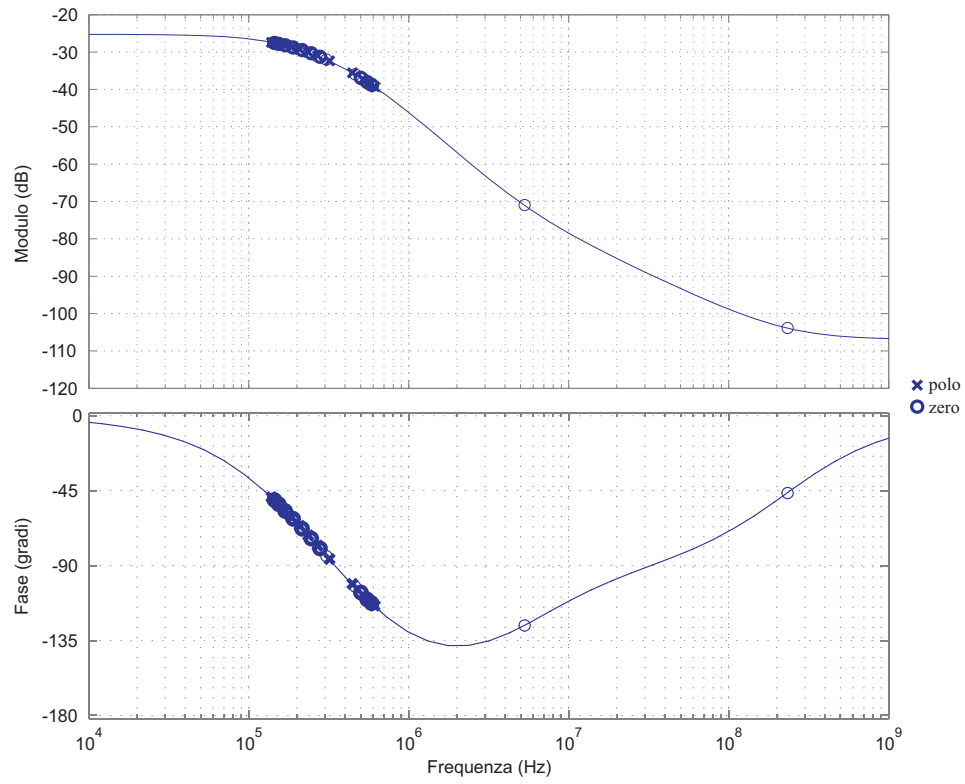
$$C_B = \frac{1}{\omega_{zr} R_B}. \quad (5.58)$$

Si sceglie, tra le combinazioni possibili:

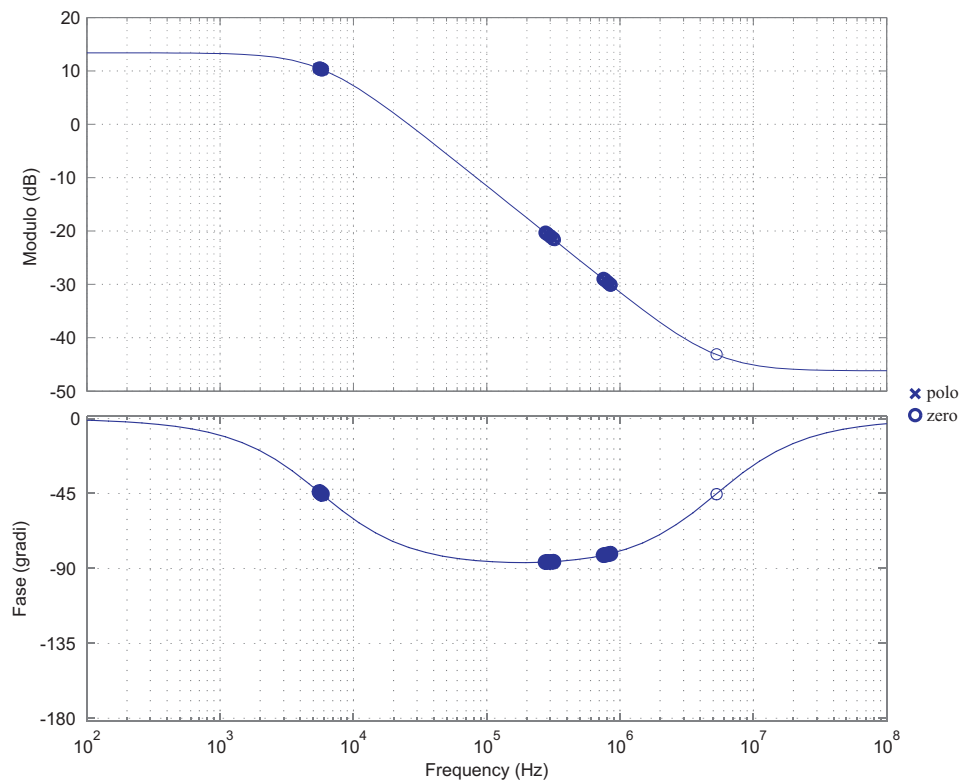
$$R_A = 1.3\text{k}\Omega, \quad (5.59)$$

$$R_B = 8.2\text{k}\Omega, \quad (5.60)$$

$$C_B = 3.3\text{nF}. \quad (5.61)$$

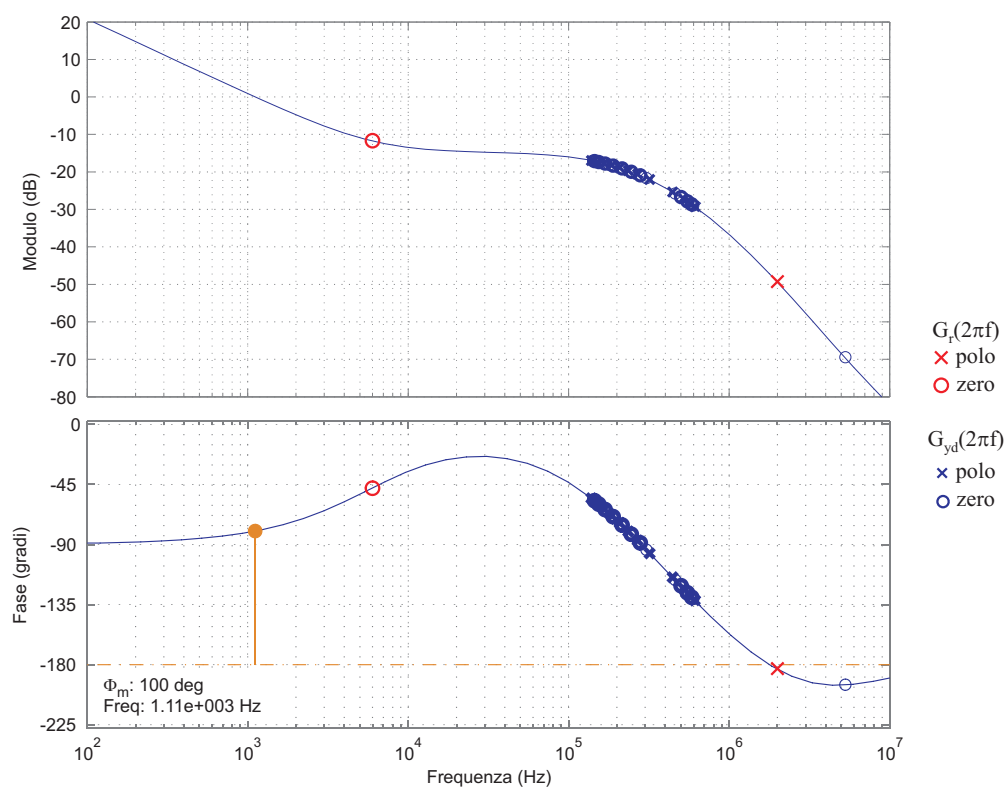


(a)

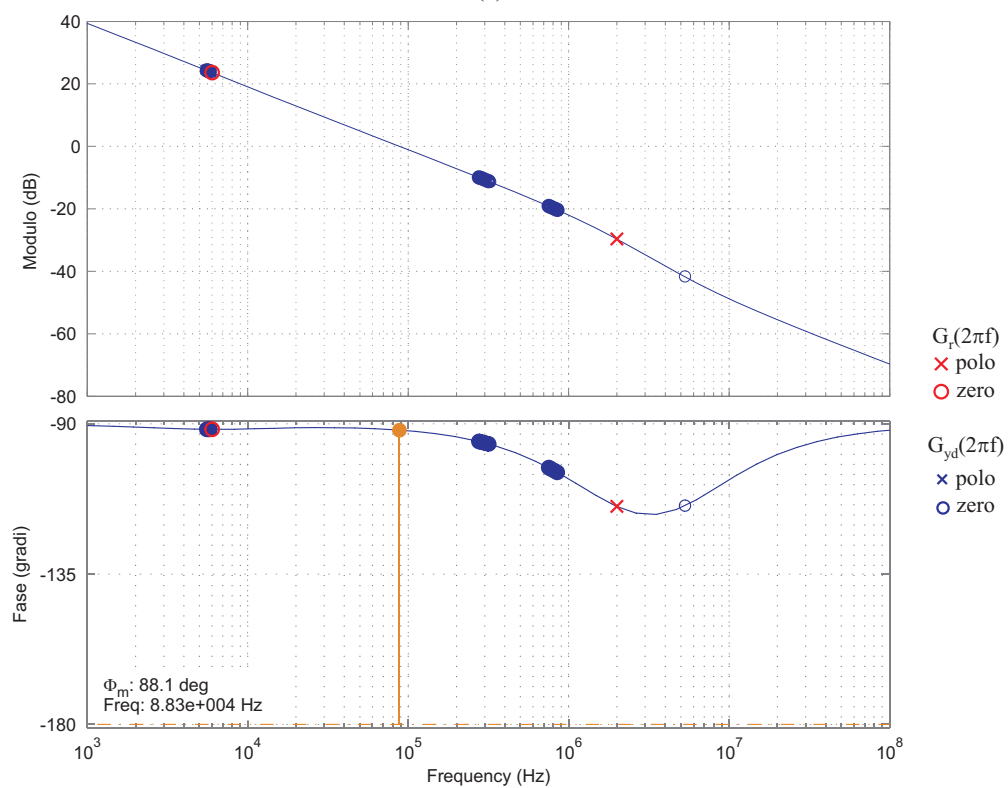


(b)

Figura 5.32: Convertitore 1/3. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.33$, $I_0 = 100\text{mA}$ (a) $D = 0.01$, $I_0 = 5\text{mA}$ (b).



(a)



(b)

Figura 5.33: Convertitore 1/3. Diagramma di Bode del guadagno d'anello per $D = 0.33$, $I_0 = 100\text{mA}$ (a) $D = 0.01$, $I_0 = 5\text{mA}$ (b).

5.3.3 Convertitore con rapporto di conversione 2/3

Anche questo sistema è stato studiato tramite l'implementazione del modello in MATLAB. In Figura 5.34 è riportato il diagramma di Bode di $G_{yd}(s)$ nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Tramite simulazione parametrica si è ricavato il valore nominale di duty-cycle, soglia limite per la stabilità del sistema:

$$D_{NOM} = 0.64. \quad (5.62)$$

Come ci si aspetta, il comportamento è analogo ai convertitori precedenti. Il guadagno diminuisce al crescere del duty-cycle e si osserva che, come per il convertitore precedente, sono presenti numerose coppie polo-zero. Queste per valori di duty-cycle decrescenti si spostano a frequenze minori, portando la fase a -90° . Il dimensionamento del regolatore è stato effettuato graficamente tramite lo strumento SISO Design Tool dell'applicativo MATLAB. Anche in questo caso si è dovuto trovare un compromesso tra la velocità del controllo nelle condizioni di carico nominale e la stabilità per carico ridotto. Il guadagno di G_{yd} varia in un intervallo maggiore rispetto ai convertitori precedenti e perciò si riesce ad ottenere una banda passante minore nelle condizioni nominali e un minore margine di fase nelle condizioni di carico minimo.

Utilizzando lo stesso controllore PWM, si sceglie:

$$f_{zr} = 50\text{kHz}, \quad (5.63)$$

$$K = 1.57 \times 10^6 = 123.92\text{dB}. \quad (5.64)$$

In Figura 5.35 è riportato il diagramma di Bode del guadagno d'anello nelle condizioni nominali (a) e per $I_0 = 5\text{mA}$ (b). Come visto in precedenza, poiché il prodotto banda-guadagno GBP può raggiungere un minimo di 5MHz, la frequenza del polo introdotto dal regolatore sarà quindi:

$$1\text{MHz} \leq f_{pr} \leq 2.4\text{MHz}. \quad (5.65)$$

Dalla Figura 5.35 si osserva che, anche in questo caso, lo spostamento del polo in questo intervallo di frequenze non comporta una grossa variazione del guadagno d'anello. I valori di margine di fase e banda passante ottenuti sono riportati nella Tabella 5.8.

I valori di resistenze e capacità per realizzare il regolatore sono legati dalle seguenti equazioni, derivate da 5.36 e 5.37:

$$\frac{R_B}{R_A} = \frac{K_r}{\omega_{zr}}, \quad (5.66)$$

$$C_B = \frac{1}{\omega_{zr} R_B}. \quad (5.67)$$

Si sceglie, tra le combinazioni possibili:

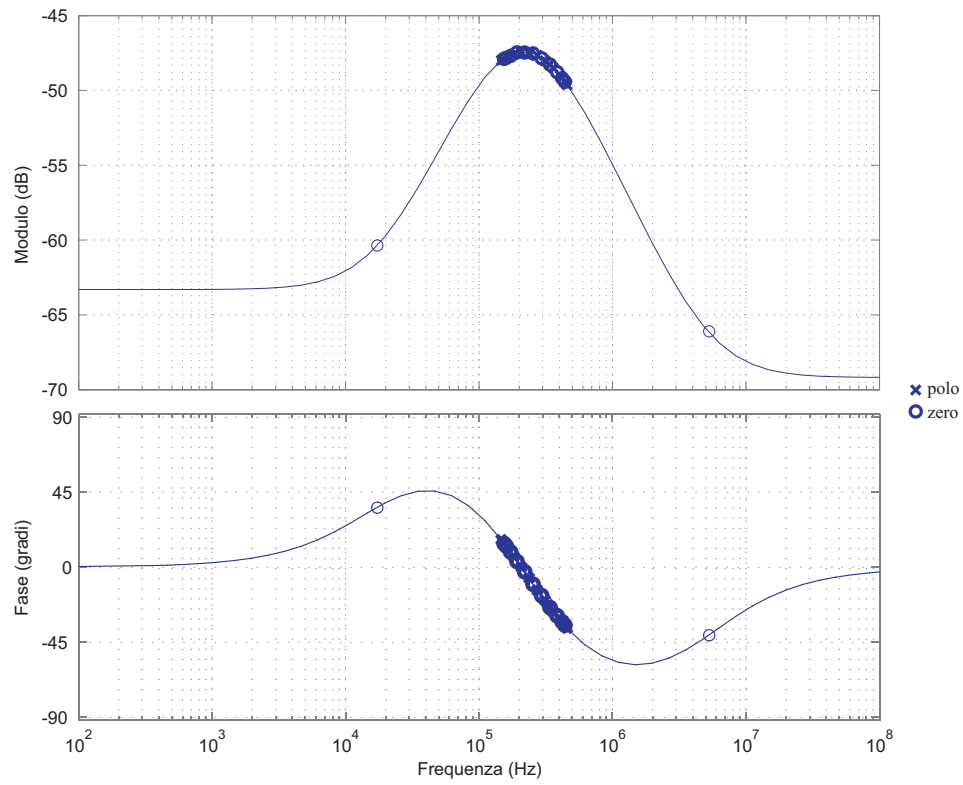
$$R_A = 1.3\text{k}\Omega, \quad (5.68)$$

$$R_B = 6.8\text{k}\Omega, \quad (5.69)$$

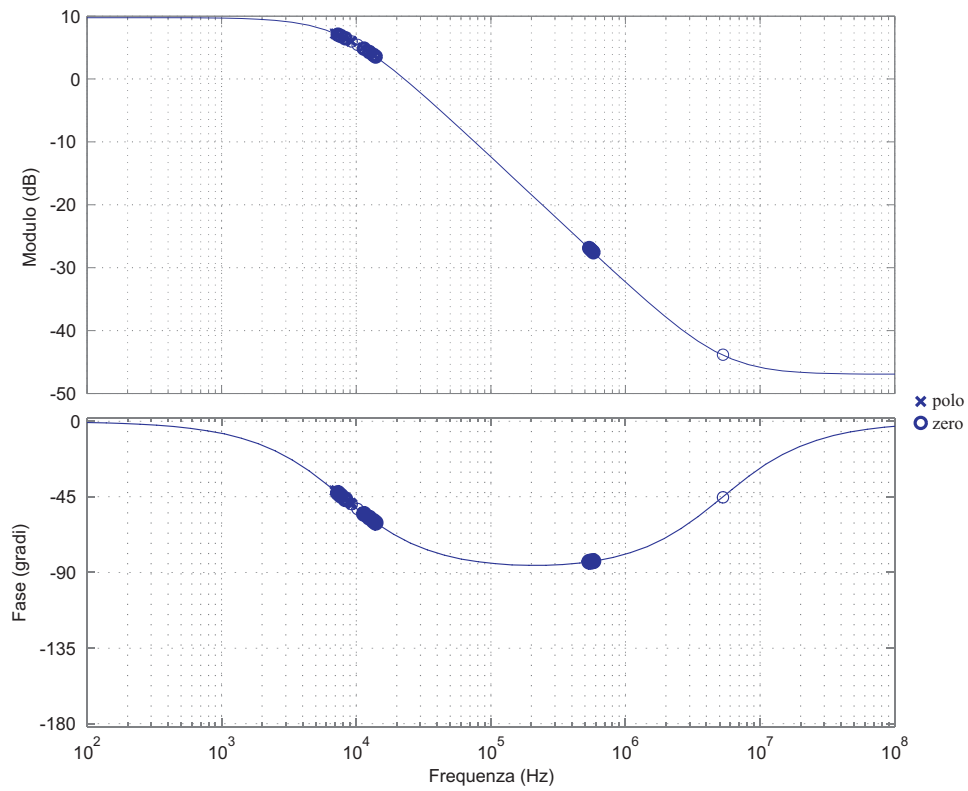
$$C_B = 470\text{pF}. \quad (5.70)$$

Corrente di carico I_0	Margine di fase Φ_m	Banda
100mA	90.4°	94.8Hz
5mA	62.3°	78.9kHz

Tabella 5.8: Margine di fase e banda del controllo per il convertitore 2/3.

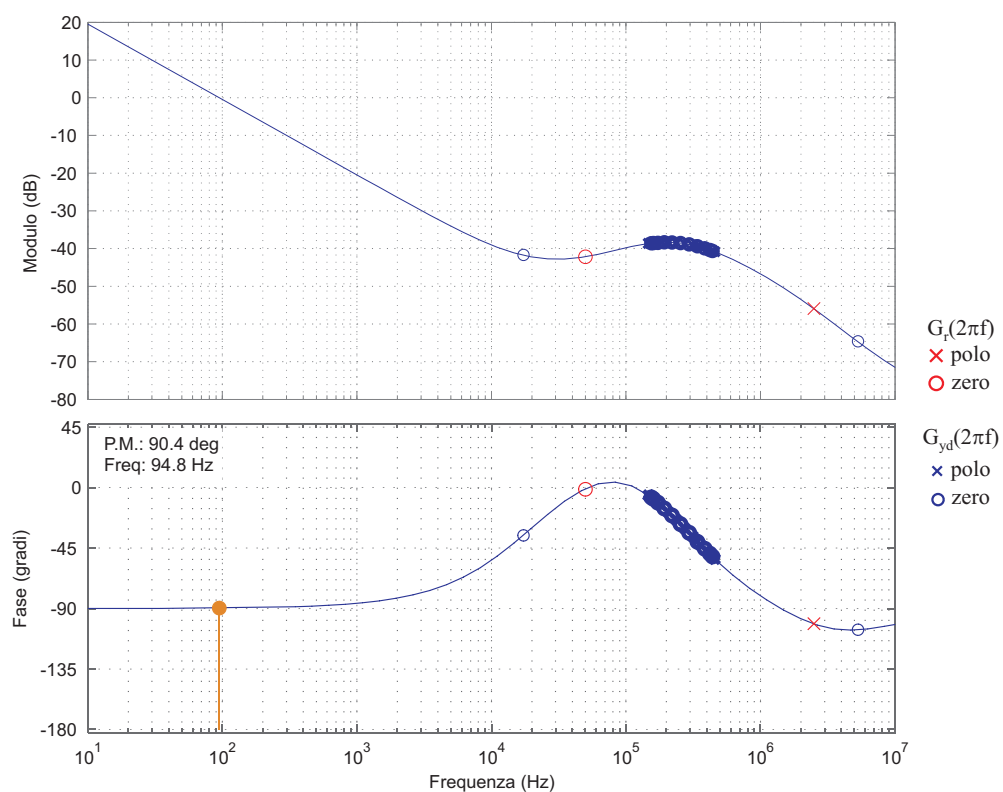


(a)

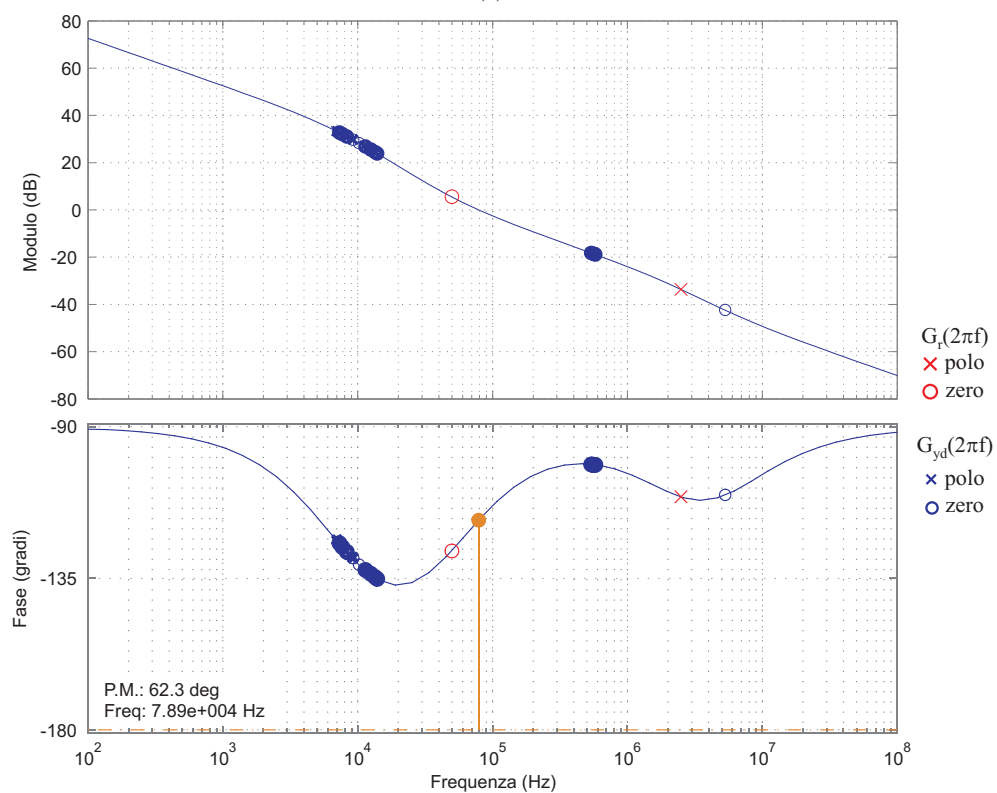


(b)

Figura 5.34: Convertitore 2/3. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.64$, $I_0 = 100\text{mA}$ (a) $D = 0.022$, $I_0 = 5\text{mA}$ (b).



(a)



(b)

Figura 5.35: Convertitore 2/3. Diagramma di Bode del guadagno d'anello per $D = 0.64$, $I_0 = 100\text{mA}$ (a) $D = 0.022$, $I_0 = 5\text{mA}$ (b).

5.3.4 Realizzazione

I valori nominali di duty-cycle e tensione di uscita del convertitore utilizzati per il dimensionamento sono riportati nella Tabella 5.5. Il valore limite del duty-cycle determinato dal controllo, non corrisponde al valore nominale assunto in precedenza. Tuttavia, essendo la pendenza della curva molto ridotta in questo intervallo, la differenza è praticamente trascurabile.

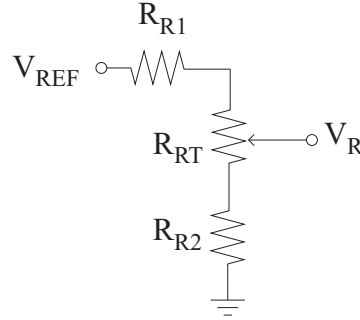


Figura 5.36: Rete per generare la tensione di riferimento V_R .

Per dimensionare la rete per generare il riferimento di tensione per il controllo, si utilizza il riferimento di tensione costante $V_{REF} = 5.1V$ presente al pin 16 dell'integrato UC3823A. Il segnale di riferimento V_R , per essere confrontato con la tensione di uscita del convertitore, è posto al pin NI (3) dell'integrato, il quale non assorbe corrente. Perciò è sufficiente utilizzare un partitore resistivo. Per ottenere una regolazione fine si utilizzano due resistenze ed un trimmer, disposti come in Figura 5.36. Per mantenere stabile il riferimento, nel datasheet del componente è indicata come erogazione di corrente tipica 1mA. Di conseguenza dovrà essere $R_{R1} + R_{RT} + R_{R2} > 5.1k\Omega$ per non superare tale valore. Nella Tabella 5.9 sono riportati i valori scelti per i tre convertitori assieme all'intervallo di variazione del riferimento ottenuto.

Convertitore	R_{R1}	R_{R2}	R_{RT1}	\check{V}_R	\hat{V}_R
$M_1 = 1/2$	$R_{R11} = 30k\Omega$	$R_{R21} = 10k\Omega$	$R_{RT1} = 20k\Omega$	0.850V	2.550V
$M_2 = 1/3$	$R_{R12} = 51k\Omega$	$R_{R22} = 10k\Omega$	$R_{RT2} = 20k\Omega$	0.630V	1.889V
$M_3 = 2/3$	$R_{R13} = 7.5k\Omega$	$R_{R23} = 10k\Omega$	$R_{RT3} = 20k\Omega$	1.360V	4.080V

Tabella 5.9: Valori per le reti generatrici dei riferimenti.

Per dimensionare le capacità e le resistenze di timing si utilizzano le 5.4 e 5.5. Per il primo convertitore si vuole limitare il duty cycle al valore $D_{MAX} = 0.5$.

Ne risulta:

$$R_T = 600\Omega, \quad (5.71)$$

$$C_T = 1.33\text{nF}. \quad (5.72)$$

Nel datasheet del componente è tuttavia suggerito di non limitare il duty-cycle al di sotto del 70%. Sperimentalmente, si è verificato che al di sotto di tale valore le equazioni 5.4 e 5.5 non sono più attendibili. Si è quindi sostituita, in un secondo momento, R_T con un trimmer in tutti i convertitori, in modo da poter regolare correttamente il valore del massimo duty-cycle. Infine, si sono corretti i valori di C_T , dove necessario, per ottenere la frequenza di commutazione desiderata. I valori dei componenti utilizzati sono riportati nella Tabella 5.10.

Convertitore	R_T (trimmer)	C_T
$M_1 = 1/2$	$R_{T1} = 2\text{k}\Omega$	$C_{T1} = 1\text{nF}$
$M_2 = 1/3$	$R_{T2} = 2\text{k}\Omega$	$C_{T2} = 1.33\text{nF}$
$M_3 = 2/3$	$R_{T3} = 2\text{k}\Omega$	$C_{T3} = 1\text{nF}$

Tabella 5.10: Valori per le resistenze e capacità di timing.

Nella Tabella 5.11 si riportano infine i valori dei componenti dei convertitori e dei regolatori PI, dimensionati in precedenza, in riferimento allo schema di Figura 5.37.

	Convertitore		
	$M_1 = 1/2$	$M_2 = 1/3$	$M_3 = 2/3$
Capacità di uscita	$C_{01} = 1\mu\text{F}$	$C_{02} = 1\mu\text{F}$	$C_{03} = 1\mu\text{F}$
Capacità volanti	$C_{f1} = 1\mu\text{F}$	$C_{f21} = 1\mu\text{F}$	$C_{f31} = 1\mu\text{F}$
		$C_{f22} = 1\mu\text{F}$	$C_{f32} = 1\mu\text{F}$
R_A	$R_{A1} = 2\text{k}\Omega$	$R_{A2} = 1.3\text{k}\Omega$	$R_{A3} = 1.3\text{k}\Omega$
R_B	$R_{B1} = 24\text{k}\Omega$	$R_{B2} = 8.2\text{k}\Omega$	$R_{B3} = 6.8\text{k}\Omega$
C_B	$C_{B1} = 330\text{pF}$	$C_{B2} = 3.3\text{nF}$	$C_{B3} = 470\text{pF}$

Tabella 5.11: Valori per le capacità dei convertitori e per i regolatori PI.

In Figura 5.37 è riportato lo schema del secondo prototipo, contenente i tre convertitori e il relativo controllo. Oltre ai componenti riportati fino ad ora, sono presenti i condensatori di disaccoppiamento per ogni integrato e i diodi

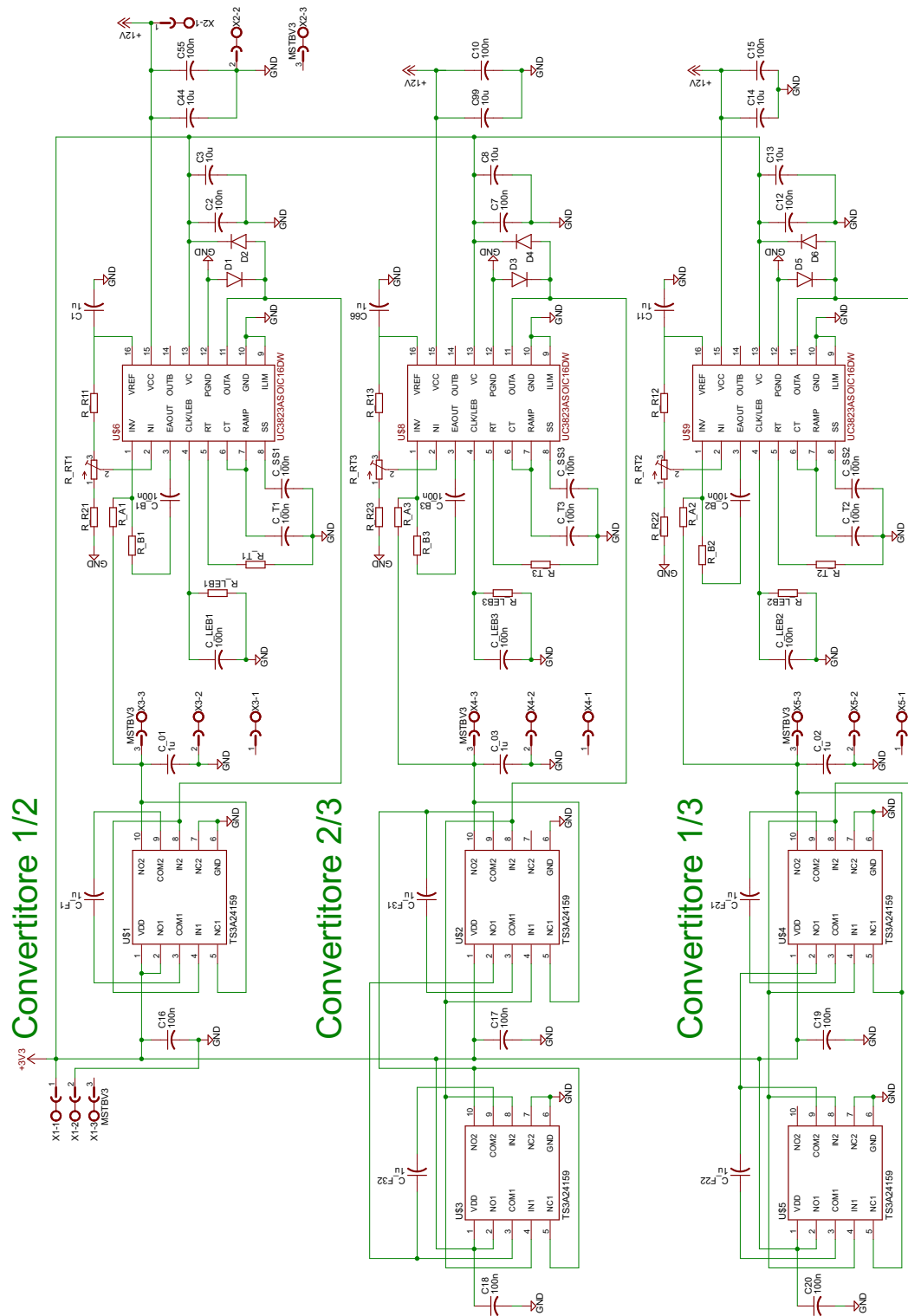
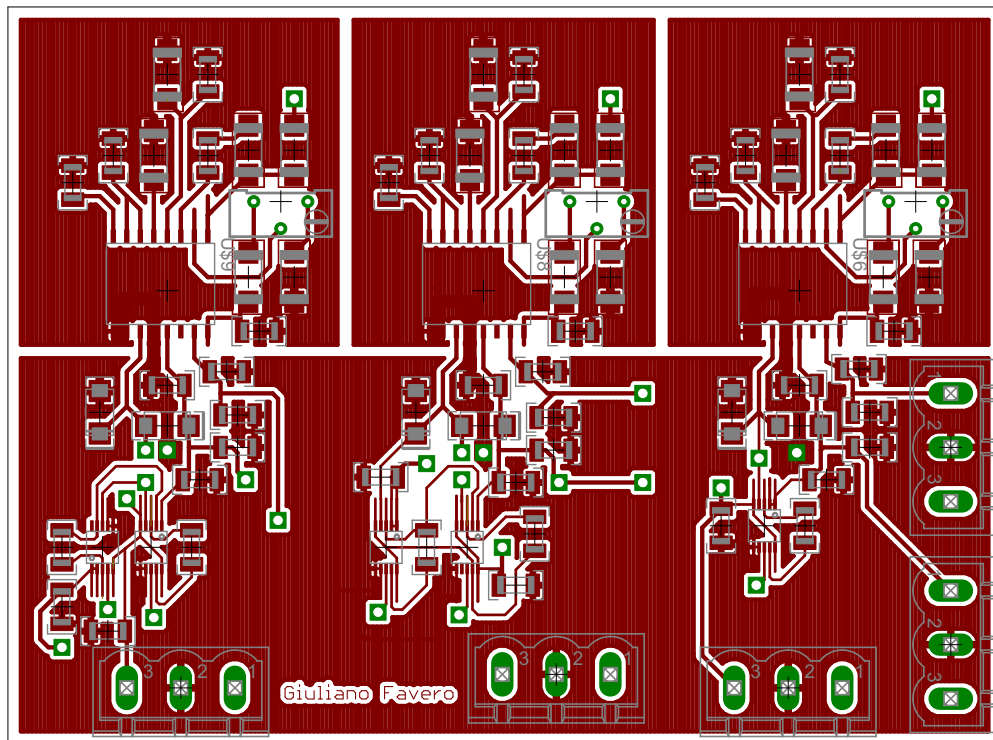


Figura 5.37: Schema del secondo prototipo.

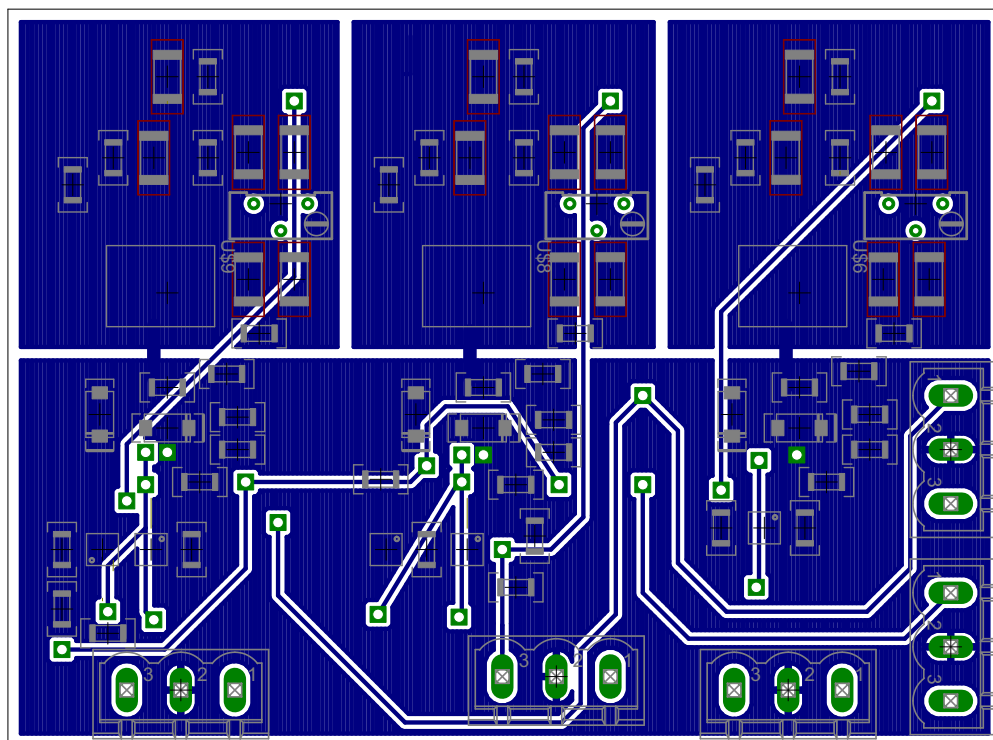
Shottky di protezione per il comando dei deviatori. Questi impediscono al segnale di comando di superare i limiti imposti dall'alimentazione. Nello schema sono presenti inoltre i componenti R_{LEBx} , C_{LEBx} e C_{SSx} ($x = 1, 2, 3$). Questi servono per abilitare le funzioni aggiuntive del componente descritte nella Tabella 5.1 che non sono state utilizzate. Nella realizzazione del circuito tali componenti non sono quindi presenti.

In Figura 5.38 è riportato il circuito stampato realizzato. Si osservano nella parte superiore le tre isole contenenti il controllo, mentre nella parte inferiore sono situati i convertitori, con i rispettivi connettori di uscita. In questo modo si sono separati i piani di massa della logica di controllo dai piani di massa della parte di potenza. Il collegamento, per ogni convertitore, è realizzato tramite un ponte in corrispondenza del pin $PGND$ (12) di ciascun integrato UC3823A, riferimento dello stadio di uscita. Forzando le correnti attraverso i ponti, si attenua la propagazione dei disturbi generati dalla parte di potenza sul controllo, poichè essi aumentano l'induttanza del percorso. Per diminuire le interferenze tra i convertitori, le tre isole contenenti il controllo sono tra loro separate poichè i tre dispositivi, non essendo sincronizzati, avranno una frequenza di commutazione diversa.

Sulla parte destra della scheda sono situati i connettori per l'alimentazione di 3.3V e 12V. A destra è situato il convertitore 1/2, caratterizzato da una sola coppia di deviatori, al centro il convertitore 2/3 e a sinistra il convertitore 1/3. Si è posta particolare attenzione alla disposizione delle capacità dei convertitori e degli interruttori sulla scheda, in modo da minimizzare la lunghezza delle piste. In Figura 5.39 è riportato il prototipo realizzato.



(a) Faccia superiore.



(b) Faccia inferiore.

Figura 5.38: Circuito stampato del secondo prototipo.

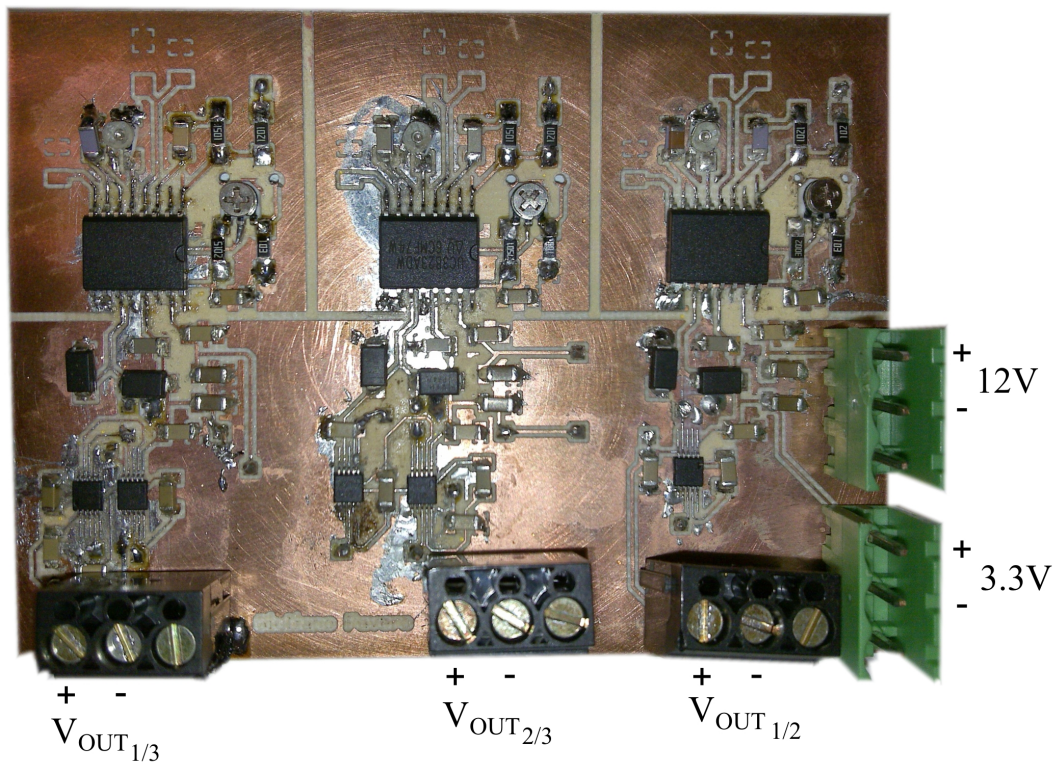


Figura 5.39: Il circuito stampato realizzato.

5.3.5 Misure

Per regolare il riferimento di tensione si è proceduto nel modo seguente per ciascun convertitore:

1. si è posto il riferimento di tensione molto al di sopra del valore raggiungibile in base al rapporto di conversione, in modo da eliminare il controllo;
2. in condizione di carico nominale, si è variato il limite del massimo duty-cycle in modo da trovarne il valore corrispondente alla massima tensione di uscita. Questi sono quindi i valori nominali di duty-cycle e tensione di uscita ai quali corrisponde il valore minimo di resistenza equivalente;
3. si lascia il limite di duty-cycle al valore nominale trovato, in modo da evitare la perdita di controllo causata dall'instabilità del sistema;
4. si è posto il riferimento pari alla tensione nominale di uscita;
5. si è verificato il funzionamento del controllo.

In questo modo si riesce ad ottenere il minimo valore della resistenza di uscita. D'altra parte, come visto in precedenza, nelle condizioni nominali il controllo è molto lento o assente, poichè la banda passante è ridotta o nella situazione limite il sistema è diventato instabile. Utilizzando un valore inferiore di duty-cycle nominale, il controllo diventa più veloce e non è necessario limitare il massimo duty-cycle per garantire la stabilità. In questo modo tuttavia si aumenta il valore della resistenza equivalente del convertitore.

Nella Tabella 5.12 sono riportati i risultati ottenuti, confrontati con i valori teorici calcolati in precedenza. Come nel primo prototipo, si osserva che il convertitore con rapporto di conversione $1/2$ si avvicina maggiormente al valore previsto per R_{MIN} . Nel convertitore con rapporto di conversione $2/3$ tale differenza resta superiore nonostante si sia cercato di migliorare la disposizione dei componenti. Tuttavia il risultato è migliorato in valore assoluto grazie all'utilizzo dei deviatori con resistenza in conduzione inferiore.

Nella Tabella 5.13 sono riportati i tempi morti e il ripple sulla tensione di uscita determinati per i tre convertitori nelle rispettive condizioni nominali con lo stesso procedimento seguito per il primo prototipo. I tempi morti durante le commutazioni sono dell'ordine di quelli ottenuti per il primo prototipo, comandato tramite generatore di segnali. L'effetto sul convertitore sarà pertanto analogo. Il ripple sulla tensione di uscita è invece molto superiore al valore previsto (Cfr.

Rapporto di conversione	duty-cycle nominale	R_{eq}	duty-cycle teorico	R_{MIN} teorico
$M_1 = 1/2$	48	0.612Ω	50	0.570Ω
$M_2 = 1/3$	34.7	0.620Ω	40	0.460Ω
$M_3 = 2/3$	54	0.944Ω	60	0.710Ω

Tabella 5.12: Confronto fra risultati sperimentali e teorici.

Tabella 5.5). Questo risultato può dipendere dai disturbi introdotti dalla presenza dei tre diversi convertitori operanti contemporaneamente sulla stessa scheda a frequenze di commutazione differenti.

Rapporto di conversione	Ripple ΔV_{pp} (mV)	$t_{dead,rise}$ (ns)	$t_{dead,fall}$ (ns)
$M_1 = 1/2$	16	4	5.4
$M_2 = 1/3$	37	4	5.8
$M_3 = 2/3$	18.8	9.6	6.8

Tabella 5.13: Ripple sulla tensione di uscita e tempi morti.

Convertitore 1/2

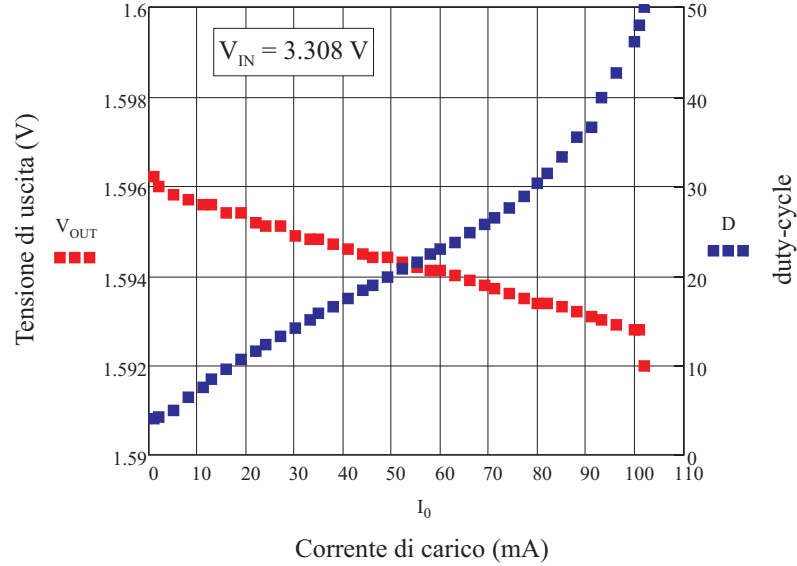


Figura 5.40: Curva di controllo del convertitore 1/2.

In Figura 5.40 sono riportati l'andamento della tensione di uscita V_{OUT} e del duty-cycle in funzione della corrente di carico del convertitore. Si osserva che V_{OUT} cala di soli 3mV nell'intervallo di funzionamento nominale del convertitore. Per $I_0 > 100\text{mA}$ la tensione di uscita inizia a scendere velocemente in quanto la resistenza di uscita del convertitore rimane costante. Questo avviene poichè si è fatto in modo che, in condizioni di carico nominale, il duty-cycle raggiungesse il suo valore limite. Si osserva inoltre che all'aumentare della corrente di carico è necessaria una variazione maggiore del duty-cycle per mantenere costante la tensione di uscita, come ci si aspetta dall'osservazione di Figura 5.19. Per basse correnti di carico, invece, l'andamento è praticamente lineare invece di seguire l'andamento esponenziale previsto. Questa differenza è dovuta all'effetto dei tempi morti, visto in precedenza, che comporta l'aumento della resistenza equivalente del convertitore al calare della corrente di carico. Questo effetto viene compensato dal controllo aumentando il duty-cycle, il quale in questo modo assume inizialmente un andamento praticamente lineare.

Si vuole valutare il rendimento del solo convertitore trascurando la potenza necessaria al controllo. Si riporta l'espressione 4.1:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{OUT}I_0}{MV_{IN}I_0} = \frac{V_{OUT}}{MV_{IN}}. \quad (5.73)$$

Come discusso nel quarto capitolo, se la tensione d'ingresso non varia, il rendimento sarà sempre costante regolando la tensione di uscita variando il duty-cycle o la frequenza di commutazione. In questa applicazione il rendimento è quindi determinato unicamente dal minimo valore di resistenza equivalente ottenibile nelle condizioni nominali:

$$\eta_1 = \frac{2V_{OUT}}{V_{IN}} \times 100 = 96.3\%. \quad (5.74)$$

Per verificare il funzionamento del controllo si è osservata la risposta del convertitore ad una variazione a gradino del carico, dal valore nominale a carico nullo e viceversa. In questo modo tuttavia non è possibile verificare con esattezza la banda passante, in quanto il guadagno d'anello dipende sia dal duty-cycle che dalla corrente di carico. I risultati ottenuti sono quindi confrontati con la simulazione del modello realizzato tramite l'applicativo MATLAB Simulink. Nel modello il convertitore e il controllo sono stati dimensionati in base ai valori nominali assunti nella progettazione.

Per avvicinarsi alla condizione di carico nominale, ossia $I_0 = 100\text{mA}$, si è utilizzata una resistenza di carico:

$$R_{MIN} = 16.5\Omega \quad (5.75)$$

sia per la misura che per la simulazione. La variazione a gradino è stata realizzata collegando tramite un MOSFET, utilizzato come interruttore, R_{MIN} in parallelo all'uscita. In Figura 5.41 è riportato l'andamento della tensione di uscita in seguito alla variazione a gradino del carico. Si è indicato con V_{PWM} il segnale di comando degli interruttori e con V_{GATE} il segnale di comando applicato al gate del MOSFET. Quando è alto, l'interruttore è chiuso e R_{MIN} è connessa in parallelo all'uscita, mentre quando è basso il carico è assente.

Inizialmente con carico R_{MIN} il duty-cycle è prossimo al valore nominale e il controllo è molto lento in quanto la banda passante è ridotta. A commutazione avvenuta il carico è idealmente infinito e la corrente di carico è determinata solo dalle correnti parassite nel circuito. Essendo il controllo inizialmente lento, il duty-cycle cala lentamente e questo provoca un veloce aumento della tensione di uscita, che non può comunque superare il valore imposto dalla topologia del convertitore. Il duty-cycle, diminuendo, aumenta la velocità del controllo, poiché aumenta la banda passante e quindi diminuisce sempre più velocemente fino ad annullarsi. A questo punto la tensione di uscita è superiore al riferimento e bisogna aspettare che la capacità di uscita si scarichi per effetto delle correnti

parassite che equivalgono ad una seppur minima corrente di carico. Superato il riferimento interviene il controllo che inizia ad aumentare il duty-cycle. Il controllo in questo punto di lavoro è molto veloce, e quindi la tensione di uscita e il duty-cycle crescono rapidamente. Nel convertitore reale, in assenza di carico sono sempre presenti delle correnti parassite che portano alla diminuzione della tensione di uscita e di conseguenza il duty-cycle non sarà mai completamente nullo. Per simulare correttamente il sistema in assenza di carico si è quindi utilizzata nel modello una resistenza di carico R_{MAX} , definita nel modo seguente:

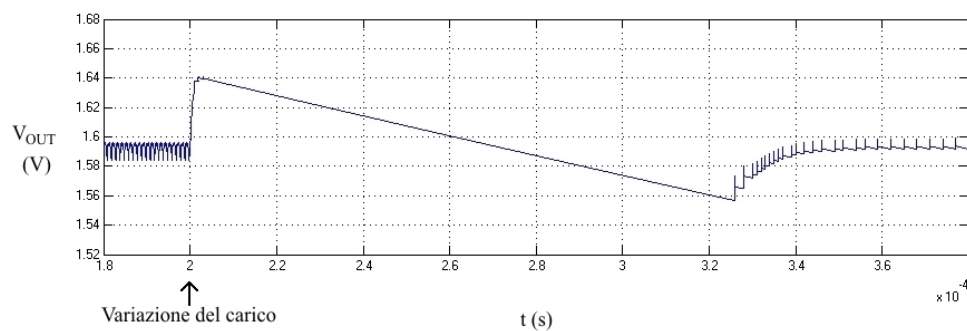
$$I_p = (C_0 + C_f) \frac{\Delta V}{\Delta T} = 1.3\text{mA}, \quad (5.76)$$

$$R_{MAX} = \frac{V_R}{I_p} = 1.2\text{k}\Omega, \quad (5.77)$$

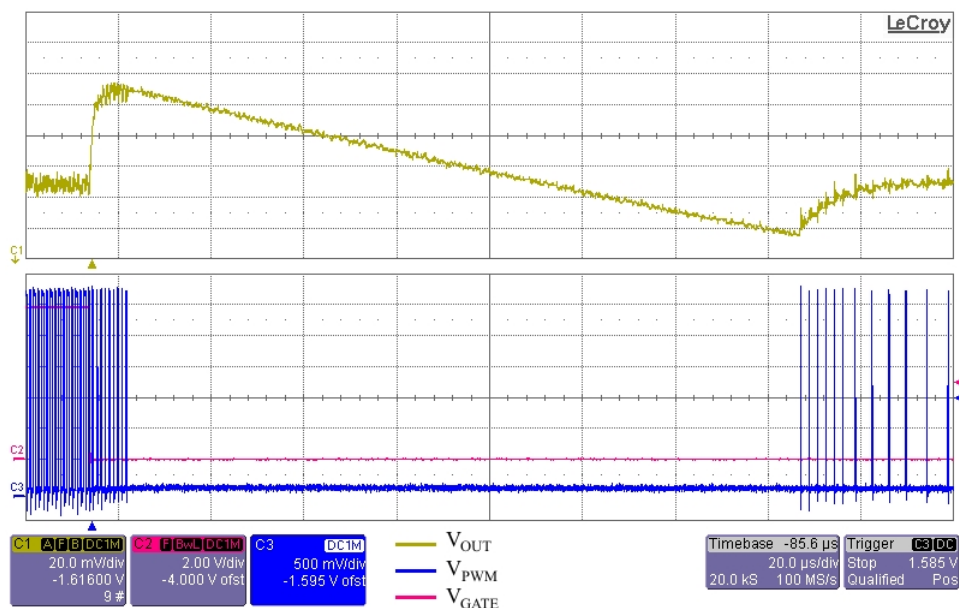
dove I_p sono le correnti parassite, V_R è il riferimento di tensione, mentre ΔV e ΔT sono stati stimati dalla Figura 5.41b.

Nella commutazione opposta, ovvero ricollegando in parallelo all'uscita R_{MIN} , il comportamento è differente (Figura 5.42). Il sistema in questo punto di lavoro, come visto in precedenza, è molto veloce ed inizialmente il duty-cycle e la tensione di uscita crescono velocemente. Ma, al crescere del duty-cycle, diminuisce la banda passante portando ad un sempre più lento raggiungimento del riferimento (Figura 5.42b).

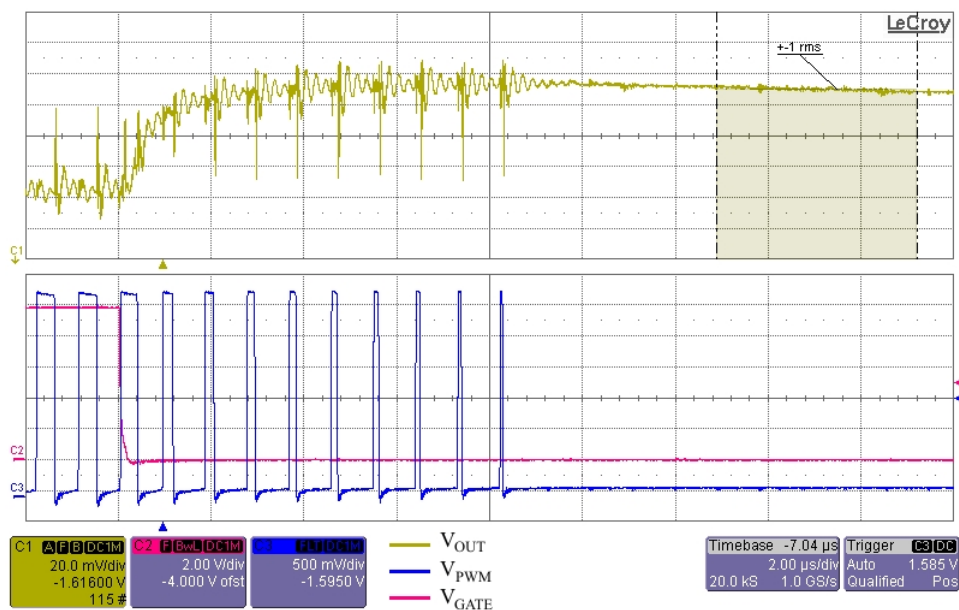
Le simulazioni e le misure di Figura 5.41 e Figura 5.42 sono riportate nella stessa scala. Si osserva che le misure effettuate sono in accordo con le simulazioni.



(a) Simulazione MATLAB Simulink.

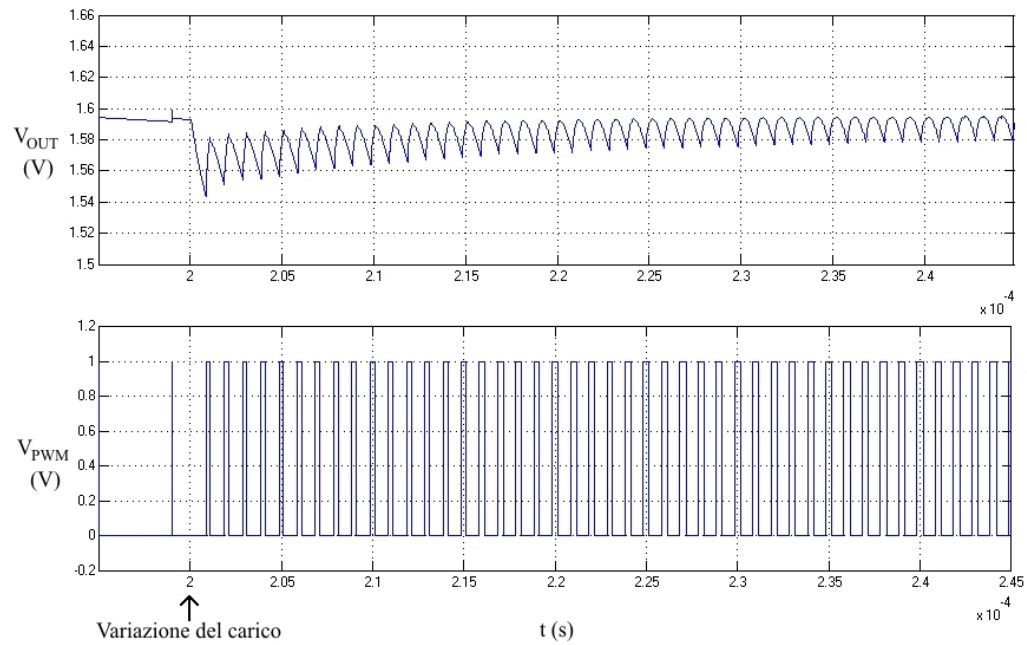


(b) Misura.

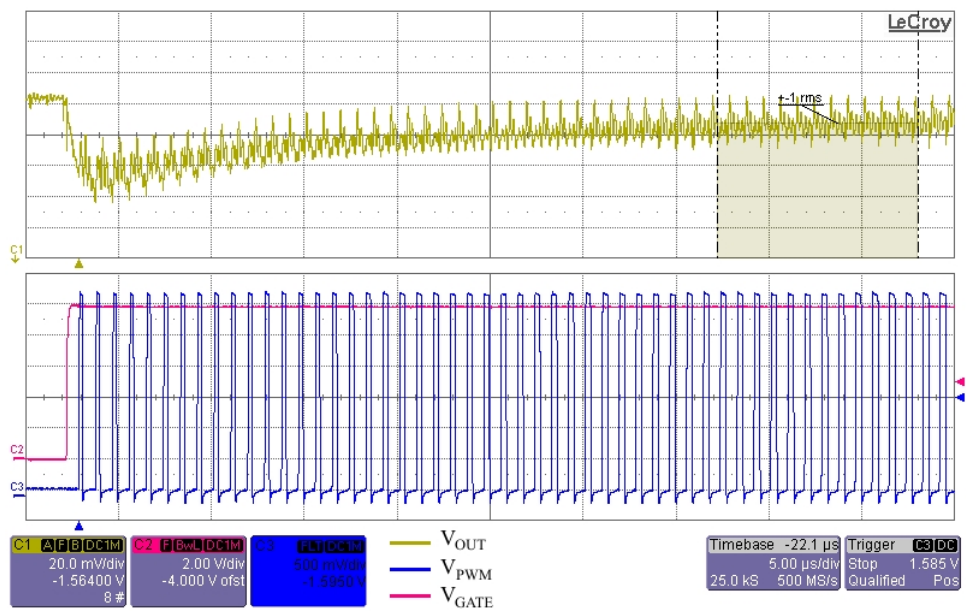


(c) Particolare della commutazione.

Figura 5.41: Commutazione da carico nominale a carico nullo.



(a) Simulazione MATLAB Simulink.



(b) Misura.

Figura 5.42: Commutazione da carico nullo a carico nominale.

Convertitore 1/3

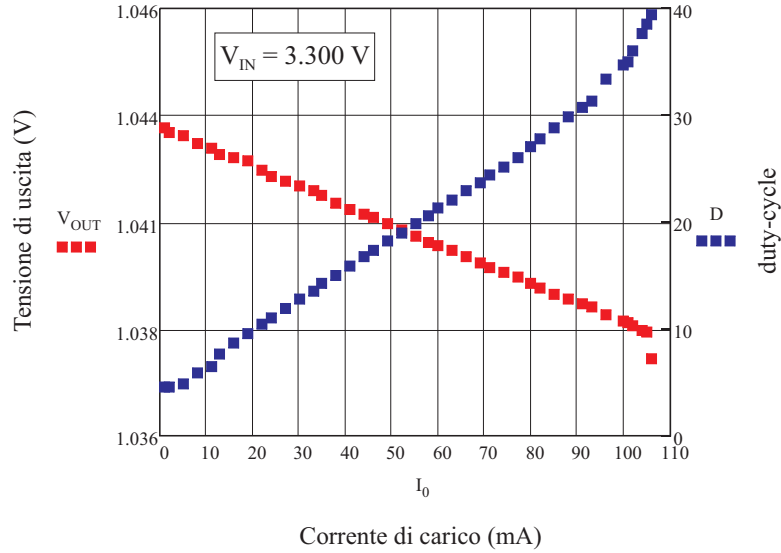


Figura 5.43: Curva di controllo del convertitore 1/3.

In Figura 5.43 sono riportati l'andamento della tensione di uscita V_{OUT} e del duty-cycle in funzione della corrente di carico del convertitore. Si osserva che V_{OUT} cala di meno di 4mV nell'intervallo di funzionamento nominale del convertitore. Come per il convertitore precedente, per $I_0 > 105\text{mA}$ la tensione di uscita inizia a scendere velocemente in quanto la resistenza di uscita del convertitore rimane costante. Si potrebbe quindi aumentare il riferimento di tensione in modo da porre tale limite esattamente a $I_0 = I_{NOM} = 100\text{mA}$. Tuttavia, si osserva che la variazione sarebbe impercettibile. Si osserva che, anche in questo caso, il duty-cycle assume inizialmente un andamento praticamente lineare. Infine il rendimento risulta:

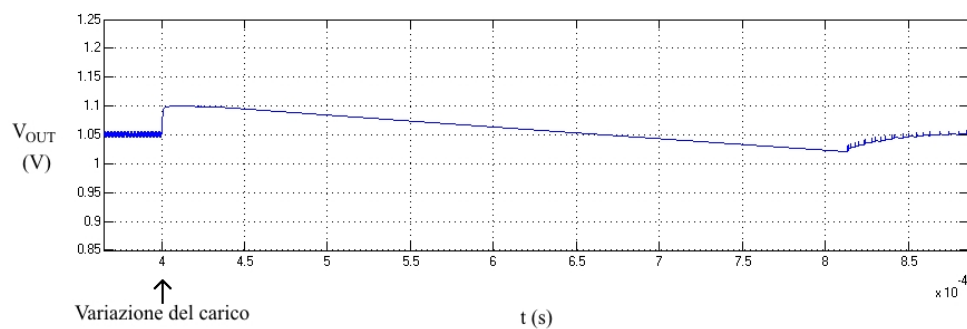
$$\eta_2 = \frac{3V_{OUT}}{V_{IN}} \times 100 = 94.4\%. \quad (5.78)$$

Per verificare il funzionamento del controllo, come per il convertitore precedente, si è osservata la risposta ad una variazione a gradino del carico, dal valore nominale a carico nullo e viceversa. I risultati ottenuti sono quindi confrontati con la simulazione del modello realizzato tramite l'applicativo MATLAB Simulink, dimensionato in base ai valori nominali assunti nella progettazione. Con lo stesso procedimento seguito in precedenza si sono determinate:

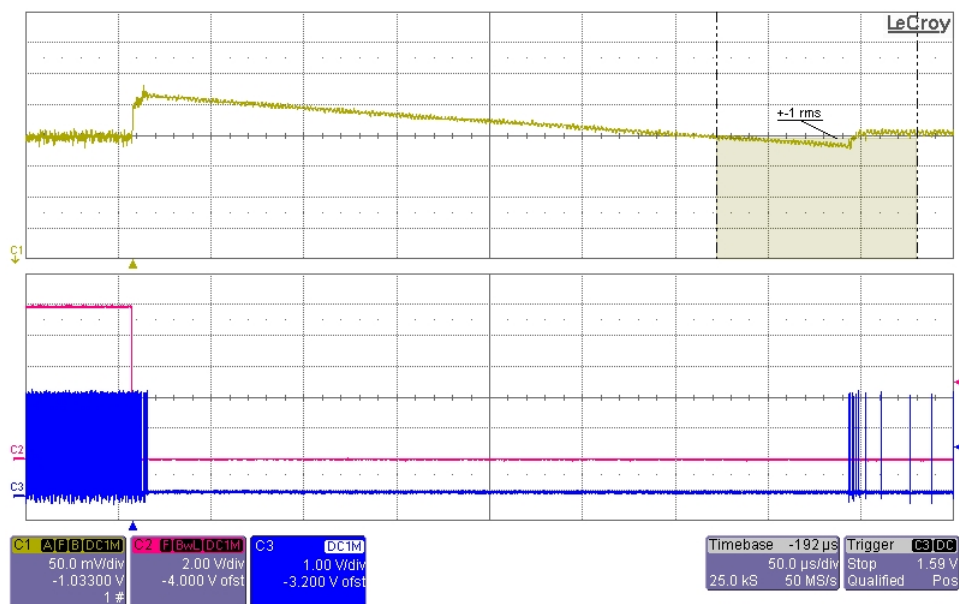
$$R_{MIN} = 10.6\Omega, \quad (5.79)$$

$$R_{MAX} = 1.756\text{k}\Omega. \quad (5.80)$$

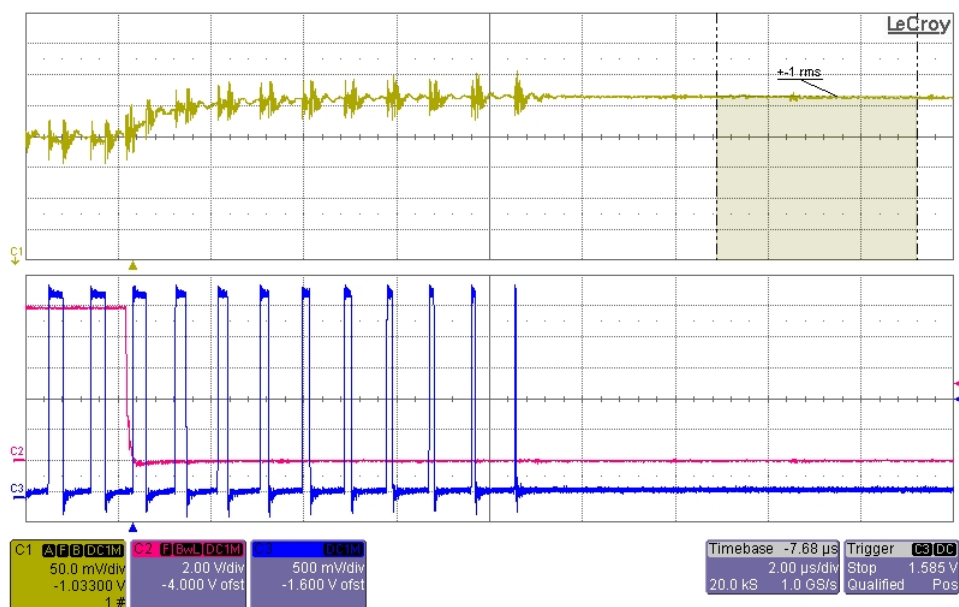
In Figura 5.44 è riportato l'andamento della tensione di uscita in seguito alla variazione a gradino del carico. Quando il segnale di comando V_{GATE} è alto, l'interruttore è chiuso e R_{MIN} è connessa in parallelo all'uscita, mentre quando è basso il carico è assente. Si osserva che la velocità di risposta complessiva è analoga al convertitore precedente. Questo convertitore nelle condizioni nominali ha una banda passante di poco superiore al precedente mentre per carico ridotto il valore è inferiore. Inizialmente, quindi, il sistema risponde più velocemente, ma la banda passante finale è inferiore, comportando un transitorio di durata complessiva analoga. Nella commutazione opposta invece, riportata in Figura 5.45, il sistema raggiunge il riferimento molto più velocemente poichè nelle condizioni nominali la banda passante è molto più elevata. Anche in questo caso le misure effettuate rispecchiano con buona approssimazione le simulazioni di Figura 5.44 e Figura 5.45.



(a) Simulazione MATLAB Simulink.

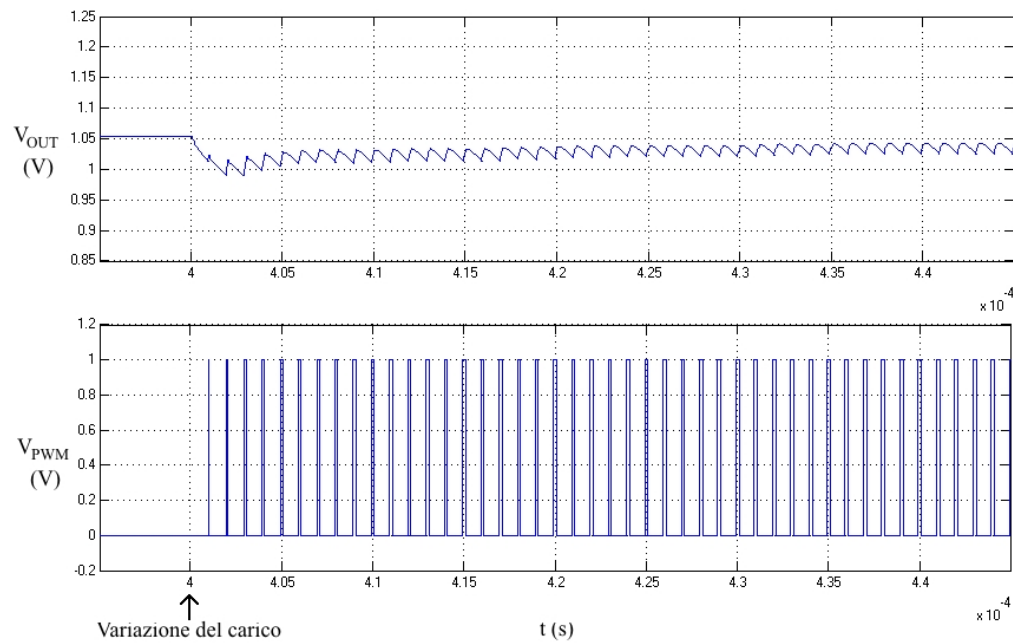


(b) Misura.

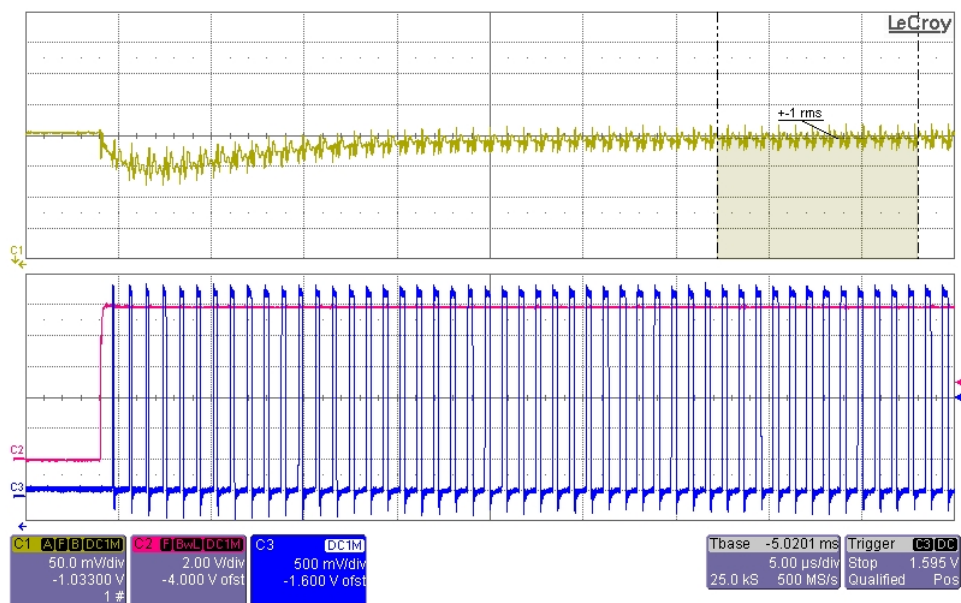


(c) Particolare della commutazione.

Figura 5.44: Commutazione da carico nominale a carico nullo.



(a) Simulazione MATLAB Simulink.



(b) Misura.

Figura 5.45: Commutazione da carico nullo a carico nominale.

Convertitore 2/3

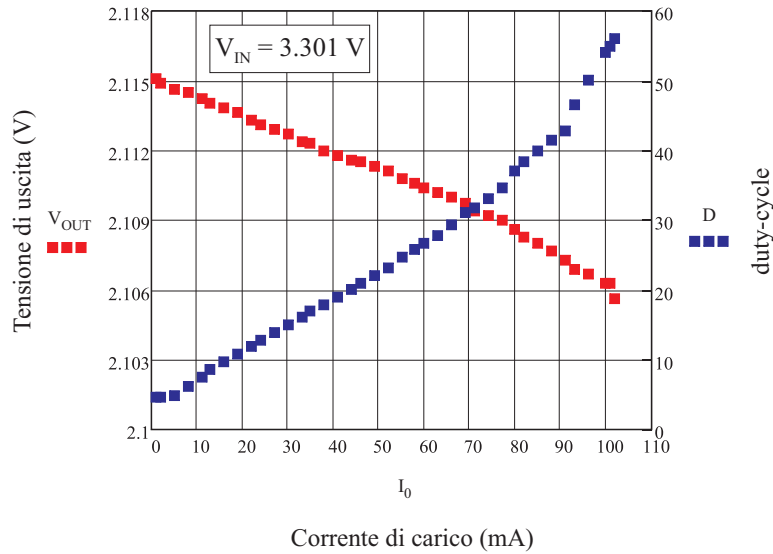


Figura 5.46: Curva di controllo del convertitore 2/3.

In Figura 5.46 sono riportati l'andamento della tensione di uscita V_{OUT} e del duty-cycle in funzione della corrente di carico del convertitore. Si osserva che V_{OUT} cala di 9mV nell'intervallo di funzionamento nominale del convertitore. Come per i convertitori precedenti, per $I_0 > 100\text{mA}$ la tensione di uscita inizia a scendere velocemente, in quanto la resistenza di uscita del convertitore rimane costante, ed inizialmente il duty-cycle assume un andamento praticamente lineare. Il rendimento risulta:

$$\eta_3 = \frac{3V_{OUT}}{2V_{IN}} \times 100 = 95.7\%. \quad (5.81)$$

Si osserva come, nonostante il convertitore 1/3 abbia una resistenza equivalente di uscita molto inferiore rispetto al convertitore 2/3, quest'ultimo abbia un rendimento superiore. Questo è dovuto al fatto che nelle condizioni nominali il carico è identico per tutti i convertitori, ma non la tensione di uscita. Quindi, benchè il convertitore 2/3 abbia un valore di R_{eq} superiore, la potenza dissipata su quest'ultima in percentuale alla potenza nominale è inferiore in confronto al convertitore 1/3.

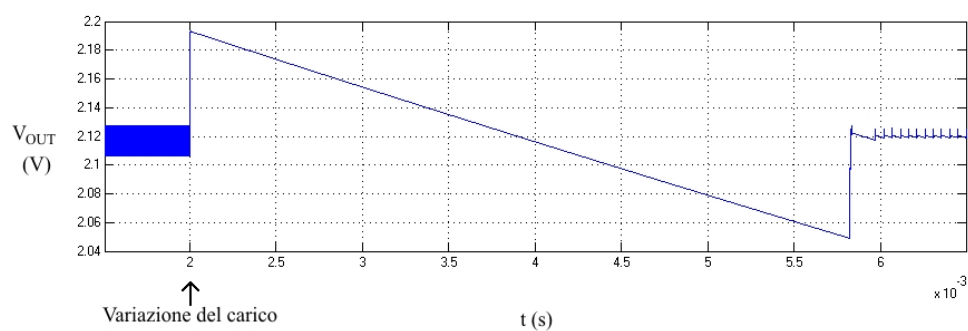
Anche in questo caso, per verificare il funzionamento del controllo, si è osservata la risposta ad una variazione a gradino del carico, dal valore nominale a carico nullo e viceversa. I risultati ottenuti sono quindi confrontati con la simulazione del modello realizzato tramite l'applicativo MATLAB Simulink, dimensionato in

base ai valori nominali assunti nella progettazione. Con lo stesso procedimento seguito in precedenza si sono determinate:

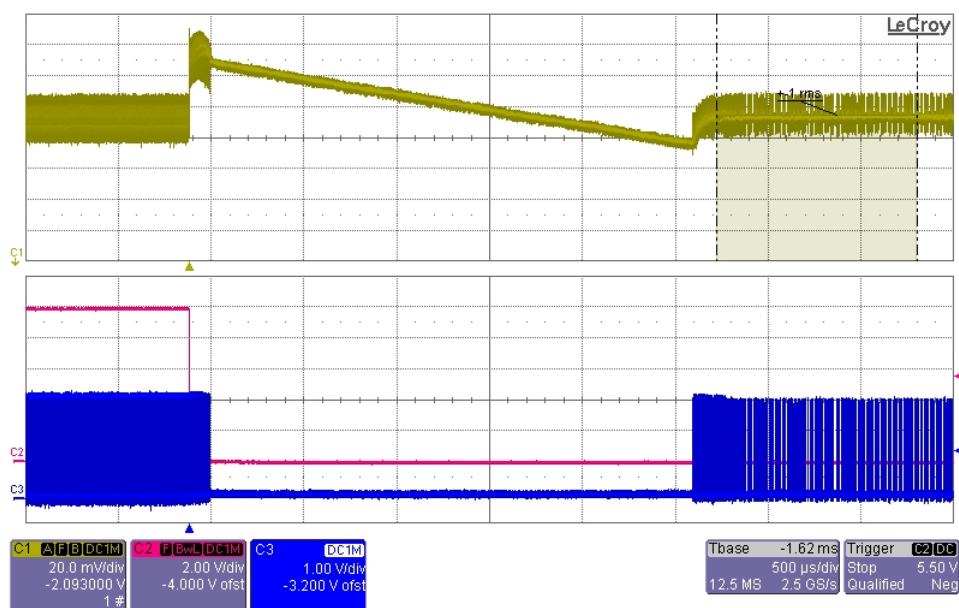
$$R_{MIN} = 21\Omega, \quad (5.82)$$

$$R_{MAX} = 69\text{k}\Omega. \quad (5.83)$$

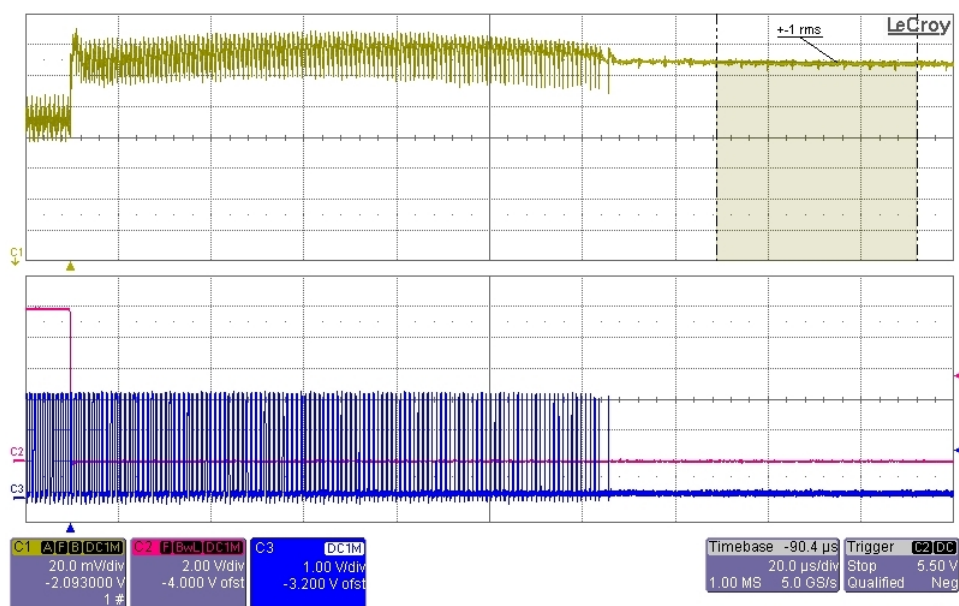
In Figura 5.47 è riportato l'andamento della tensione di uscita in seguito alla variazione a gradino del carico. Quando il segnale di comando V_{GATE} è alto, l'interruttore è chiuso e R_{MIN} è connessa in parallelo all'uscita, mentre quando è basso il carico è assente. Per questo convertitore la banda passante del controllo, nelle condizioni nominali, è inferiore di un ordine di grandezza rispetto i precedenti. Di conseguenza la velocità di risposta risulta decisamente più lenta. Anche in questo caso le misure effettuate rispecchiano con buona approssimazione le simulazioni di Figura 5.47 e Figura 5.48.



(a) Simulazione MATLAB Simulink.

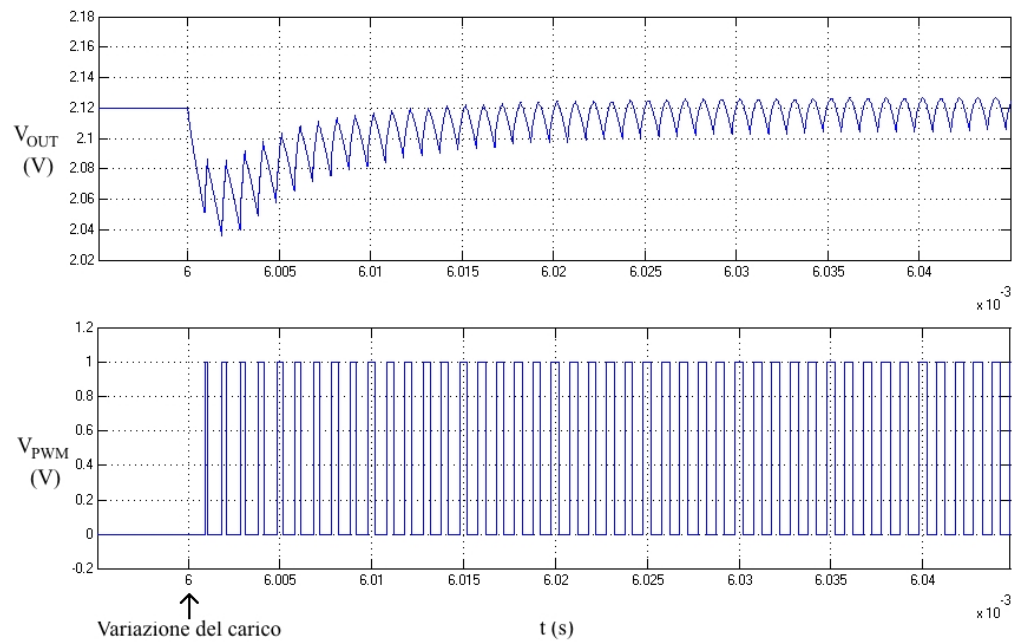


(b) Misura.

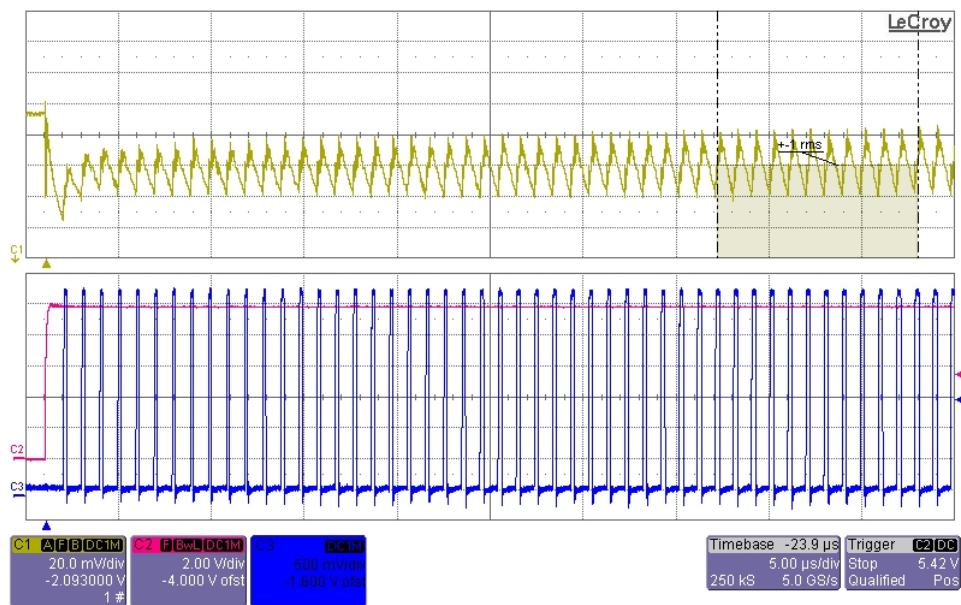


(c) Particolare della commutazione.

Figura 5.47: Commutazione da carico nominale a carico nullo.



(a) Simulazione MATLAB Simulink.



(b) Misura.

Figura 5.48: Commutazione da carico nullo a carico nominale.

Conclusioni

I convertitori a capacità commutata presentano diversi vantaggi rispetto ai tradizionali convertitori a commutazione, diventando una valida alternativa per un numero sempre maggiore di applicazioni. L'utilizzo di soli interruttori e capacità favorisce l'integrazione in singoli chip o in applicazioni di dimensioni ridotte. Conseguentemente, si riesce ad operare a frequenze di commutazione molto elevate, aumentando nel complesso la densità di potenza per unità di volume. Benchè i convertitori tradizionali abbiano rendimenti generalmente superiori, con un'opportuna scelta della tipologia e del controllo, è possibile realizzare convertitori a capacità commutata con rendimenti mediamente superiori all' 80%. Inoltre, il loro rendimento rimane elevato per ampie variazioni del carico e, in sua assenza, le perdite possono essere praticamente annullate diminuendo la frequenza di commutazione.

I risultati ottenuti confermano l'elevato rendimento ottenibile per tensioni d'ingresso costanti e la forte dipendenza dalle non idealità dei componenti. Per ottenere la massima efficienza è quindi fondamentale la disposizione e la scelta dei componenti. Regolando la tensione di uscita tramite controllo del duty-cycle, è possibile ottenere una risposta molto veloce alle variazioni di carico, richiesta ad esempio nei microprocessori. Tuttavia, se l'intervallo in cui può variare il carico è molto ampio, è necessario trovare un compromesso tra velocità e stabilità del controllo. La regolazione per variazione della frequenza di commutazione, operando a duty-cycle costante, può essere in questo caso preferibile. Le numerose topologie realizzabili, in combinazione ai diversi metodi di controllo, permettono dunque di ottimizzare questi convertitori, rendendoli adatti ad un sempre più vasto numero di applicazioni.

Appendice A

Programmi Mathcad

A.1 Modello convertitore 1/2

Dati:

Condensatore di uscita: $C_0 := 1 \cdot 10^{-6}$ (F) $ESR_0 := 30 \cdot 10^{-3}$ (Ohm)

Condensatore volante: $C_f := 1 \cdot 10^{-6}$ (F) $ESR_f := 30 \cdot 10^{-3}$ (Ohm)

Resistenza in conduzione degli interruttori (Ohm) $r_{ON} := 0.25$

Tensione in ingresso (V) $V_{in} := 3.3$

Corrente di carico (A) $I_0 := 0.1$

Periodo (s) $T_p := 1 \cdot 10^{-6}$

Duty cycle $D := \frac{1}{2}$

Costanti:

$$R_f := 2 \cdot r_{ON} + ESR_f$$

$$R_s := R_f + ESR_0$$

$$p_1 := \frac{1}{C_0 \cdot R_s}$$

$$p_2 := \frac{1}{C_f \cdot R_s}$$

$$q_1 := p_1 \cdot (V_{in} - I_0 \cdot R_f)$$

$$q_2 := p_2 \cdot (V_{in} + I_0 \cdot ESR_0)$$

$$r_1 := -p_1 \cdot I_0 \cdot R_f$$

$$r_2 := -p_2 \cdot I_0 \cdot ESR_0$$

FASE 1

C_f connesso tra ingresso ed uscita, $0 \leq t < D \cdot T_p$

$$\begin{aligned} \frac{d}{dt} \mathbf{x}(t) &= \mathbf{F}_1 \cdot \mathbf{x}(t) + \mathbf{G}_1 \cdot \mathbf{u}(t) & \text{dove} & & \mathbf{x}(t) &= \begin{pmatrix} V_{C01}(t) \\ V_{Cf1}(t) \end{pmatrix} & & \mathbf{u}(t) = \begin{pmatrix} V_{in} \\ I_0 \end{pmatrix} \\ y(t) &= \mathbf{H}_1 \cdot \mathbf{x}(t) + \mathbf{J}_1 \cdot \mathbf{u}(t) & & & y(t) &= V_{OUT1}(t) \end{aligned}$$

$$\mathbf{F}_1 := \begin{pmatrix} -p_1 & -p_1 \\ -p_2 & -p_2 \end{pmatrix}$$

$$\mathbf{G}_1 := \begin{pmatrix} p_1 & -p_1 \cdot R_f \\ p_2 & p_2 \cdot ESR_0 \end{pmatrix}$$

$$\mathbf{H}_1 := \begin{pmatrix} R_f & -ESR_0 \\ R_s & R_s \end{pmatrix}$$

$$\mathbf{J}_1 := \begin{pmatrix} ESR_0 & -ESR_0 \cdot R_f \\ R_s & R_s \end{pmatrix}$$

Stato iniziale $\mathbf{x}_{o1} = \begin{pmatrix} j \\ k \end{pmatrix}$

Matrice di cambiamento di base $\mathbf{T}_1 := \begin{pmatrix} 1 & 1 \\ -1 & \frac{p_2}{p_1} \end{pmatrix}$

Matrice esponenziale $e^{\mathbf{F}_1(t)} := \mathbf{T}_1 \cdot \begin{bmatrix} 1 & 0 \\ 0 & e^{-(p_1+p_2) \cdot t} \end{bmatrix} \cdot \mathbf{T}_1^{-1}$

Equazione di stato $\mathbf{x}_1(t) = e^{\mathbf{F}_1(t)} \cdot \mathbf{x}_{o1} + \int_0^t e^{\mathbf{F}_1(t-s)} \cdot \mathbf{G}_1 \cdot \mathbf{u}(s) ds$

Equazione di uscita $y_1(t) = \mathbf{H}_1 \cdot e^{\mathbf{F}_1(t)} \cdot \mathbf{x}_{o1} + \int_0^t \mathbf{H}_1 \cdot e^{\mathbf{F}_1(t-s)} \cdot \mathbf{G}_1 \cdot \mathbf{u}(s) ds + \mathbf{J}_1 \cdot \mathbf{u}(t)$

FASE 2

C_f connesso tra uscita e riferimento, $D \cdot T_p \leq t < T_p$

$$\begin{aligned} \frac{d}{dt} \mathbf{x}(t) &= \mathbf{F}_2 \cdot \mathbf{x}(t) + \mathbf{G}_2 \cdot \mathbf{u}(t) & \text{dove} & & \mathbf{x}(t) &= \begin{pmatrix} V_{C02}(t) \\ V_{Cf2}(t) \end{pmatrix} & & \mathbf{u}(t) = \begin{pmatrix} V_{in} \\ I_0 \end{pmatrix} \\ y(t) &= \mathbf{H}_2 \cdot \mathbf{x}(t) + \mathbf{J}_2 \cdot \mathbf{u}(t) & & & y(t) &= V_{OUT2}(t) \end{aligned}$$

$$\mathbf{F}_2 := \begin{pmatrix} -p_1 & p_1 \\ p_2 & -p_2 \end{pmatrix}$$

$$\mathbf{G}_2 := \begin{pmatrix} 0 & -p_1 \cdot R_f \\ 0 & -p_2 \cdot ESR_0 \end{pmatrix}$$

$$\mathbf{H}_2 := \begin{pmatrix} R_f & ESR_0 \\ R_s & R_s \end{pmatrix}$$

$$\mathbf{J}_2 := \begin{pmatrix} 0 & -ESR_0 \cdot R_f \\ 0 & R_s \end{pmatrix}$$

Stato iniziale $x_{o2} = \begin{pmatrix} m \\ n \end{pmatrix}$

Matrice di cambiamento di base $T_j := \begin{pmatrix} 1 & 1 \\ 1 & \frac{-p_2}{p_1} \end{pmatrix}$

Matrice esponenziale $eF_2(t) := T_j \cdot \begin{bmatrix} 1 & 0 \\ 0 & e^{-(p_1+p_2) \cdot t} \end{bmatrix} \cdot T_j^{-1}$

Equazione di stato $x_2(t) = eF_2(t) \cdot x_{o2} + \int_0^t eF_2(t-s) \cdot G_2 \cdot u(s) \, ds$

Equazione di uscita $y_2(t) = H_2 \cdot eF_2(t) \cdot x_{o2} + \int_0^t H_2 \cdot eF_2(t-s) \cdot G_2 \cdot u(s) \, ds + J_2 \cdot u(t)$

Calcolo degli stati iniziali per le fasi 1 e 2 in regime stazionario

Per semplicità di calcolo, si considera lo stato 2 tra $0 \leq t < (1-D) \cdot T_p$,
traslando successivamente nel tempo il risultato finale.

Condizioni a regime stazionario:

Gli stati 1 e 2 devono coincidere a $D \cdot T_p$ $x_1(D \cdot T_p) = x_2(0)$

Gli stati 1 e 2 devono coincidere ad inizio e fine del periodo $x_1(0) = x_2[(1-D) \cdot T_p]$

Risulta un sistema di quattro equazioni le cui incognite sono i quattro valori iniziali

delle variabili di stato per gli stati 1 e 2: $x_{o1} = \begin{pmatrix} j \\ k \end{pmatrix}$ e $x_{o2} = \begin{pmatrix} m \\ n \end{pmatrix}$.

Risolvendo il sistema risulta:

Costanti:

$$l := -(p_1 + p_2)$$

$$d_1 := D \cdot T_p$$

$$d_2 := (1-D) \cdot T_p$$

$$aa_1 := \left(\frac{-q_1 \cdot p_1}{1} - \frac{q_2 \cdot p_1}{1} \right)$$

$$aa_2 := \left(\frac{-r_1 \cdot p_1}{1} + \frac{r_2 \cdot p_1}{1} \right)$$

$$aa_3 := \left(\frac{-q_1 \cdot p_2}{1} - \frac{q_2 \cdot p_2}{1} \right)$$

$$aa_4 := \left(\frac{r_1 \cdot p_2}{1} - \frac{r_2 \cdot p_2}{1} \right)$$

$$bb_1 := q_1 \cdot p_2 - q_2 \cdot p_1$$

$$bb_2 := r_1 \cdot p_2 + r_2 \cdot p_1$$

$$bb_3 := q_2 \cdot p_1 - q_1 \cdot p_2$$

$$bb_4 := r_1 \cdot p_2 + r_2 \cdot p_1$$

$$cc_1 := -aa_1$$

$$cc_2 := -aa_2$$

$$cc_3 := -aa_3$$

$$cc_4 := -aa_4$$

$$\begin{array}{lll}
A1 := \frac{p_2 + p_1 \cdot e^{1 \cdot d_1}}{p_1 + p_2} & B1 := \frac{-p_1 + p_1 \cdot e^{1 \cdot d_1}}{p_1 + p_2} & C1 := \frac{aa_1 + bb_1 \cdot d_1 + cc_1 \cdot e^{1 \cdot d_1}}{p_1 + p_2} \\
A2 := \frac{p_2 + p_1 \cdot e^{1 \cdot d_2}}{p_1 + p_2} & B2 := \frac{p_1 - p_1 \cdot e^{1 \cdot d_2}}{p_1 + p_2} & C2 := \frac{aa_2 + bb_2 \cdot d_2 + cc_2 \cdot e^{1 \cdot d_2}}{p_1 + p_2} \\
A3 := \frac{-p_2 + p_2 \cdot e^{1 \cdot d_1}}{p_1 + p_2} & B3 := \frac{p_1 + p_2 \cdot e^{1 \cdot d_1}}{p_1 + p_2} & C3 := \frac{aa_3 + bb_3 \cdot d_1 + cc_3 \cdot e^{1 \cdot d_1}}{p_1 + p_2} \\
A4 := \frac{p_2 - p_2 \cdot e^{1 \cdot d_2}}{p_1 + p_2} & B4 := \frac{p_1 + p_2 \cdot e^{1 \cdot d_2}}{p_1 + p_2} & C4 := \frac{aa_4 + bb_4 \cdot d_2 + cc_4 \cdot e^{1 \cdot d_2}}{p_1 + p_2}
\end{array}$$

Valori iniziali:

$$\begin{aligned}
j_1 &:= -\frac{C2 + A2 \cdot C1 + B2 \cdot C3 + A2 \cdot B1 \cdot C4 - A4 \cdot B1 \cdot C2 + B2 \cdot B3 \cdot C4 - B3 \cdot B4 \cdot C2}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
j_2 &:= -\frac{A2 \cdot B1 \cdot B4 \cdot C3 - A2 \cdot B3 \cdot B4 \cdot C1 - A4 \cdot B1 \cdot B2 \cdot C3 + A4 \cdot B2 \cdot B3 \cdot C1}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
k_1 &:= -\frac{C4 + A4 \cdot C1 + B4 \cdot C3 - A1 \cdot A2 \cdot C4 + A1 \cdot A4 \cdot C2 - A3 \cdot B2 \cdot C4}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
k_2 &:= -\frac{A3 \cdot B4 \cdot C2 - A1 \cdot A2 \cdot B4 \cdot C3 + A1 \cdot A4 \cdot B2 \cdot C3 + A2 \cdot A3 \cdot B4 \cdot C1 - A3 \cdot A4 \cdot B2 \cdot C1}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
m_1 &:= -\frac{C1 + A1 \cdot C2 + B1 \cdot C4 + A1 \cdot B2 \cdot C3 - A3 \cdot B2 \cdot C1 + B1 \cdot B4 \cdot C3 - B3 \cdot B4 \cdot C1}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
m_2 &:= -\frac{A1 \cdot B2 \cdot B3 \cdot C4 - A1 \cdot B3 \cdot B4 \cdot C2 - A3 \cdot B1 \cdot B2 \cdot C4 + A3 \cdot B1 \cdot B4 \cdot C2}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
n_1 &:= -\frac{C3 + A3 \cdot C2 + B3 \cdot C4 - A1 \cdot A2 \cdot C3 + A2 \cdot A3 \cdot C1 - A4 \cdot B1 \cdot C3}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1} \\
n_2 &:= -\frac{A4 \cdot B3 \cdot C1 - A1 \cdot A2 \cdot B3 \cdot C4 + A1 \cdot A4 \cdot B3 \cdot C2 + A2 \cdot A3 \cdot B1 \cdot C4 - A3 \cdot A4 \cdot B1 \cdot C2}{A1 \cdot (A2 - A2 \cdot B3 \cdot B4 + A4 \cdot B2 \cdot B3) + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - 1}
\end{aligned}$$

$$j := j_1 + j_2 \quad k := k_1 + k_2 \quad m := m_1 + m_2 \quad n := n_1 + n_2$$

Equazioni di stato

$$V_{C01}(t) := \frac{1}{p_1 + p_2} \cdot \left[j \cdot p_2 - k \cdot p_1 + \frac{p_1 \cdot q_1 + q_2 \cdot p_1}{p_1 + p_2} + (q_1 \cdot p_2 - q_2 \cdot p_1) \cdot t + \left[p_1 \cdot (j + k) - \frac{p_1 \cdot q_1 + q_2 \cdot p_1}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$V_{Cf1}(t) := \frac{1}{p_1 + p_2} \cdot \left[-j \cdot p_2 + k \cdot p_1 + \frac{p_2 \cdot q_1 + q_2 \cdot p_2}{p_1 + p_2} + (q_2 \cdot p_1 - q_1 \cdot p_2) \cdot t + \left[p_2 \cdot (j + k) - \frac{p_2 \cdot q_1 + q_2 \cdot p_2}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$V_{C02}(t) := \frac{1}{p_1 + p_2} \cdot \left[m \cdot p_2 + n \cdot p_1 + \frac{p_1 \cdot r_1 - r_2 \cdot p_1}{p_1 + p_2} + (r_1 \cdot p_2 + r_2 \cdot p_1) \cdot t + \left[p_1 \cdot (m - n) - \frac{p_1 \cdot r_1 - r_2 \cdot p_1}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$V_{Cf2}(t) := \frac{1}{p_1 + p_2} \cdot \left[m \cdot p_2 + n \cdot p_1 - \frac{p_2 \cdot r_1 - r_2 \cdot p_2}{p_1 + p_2} + (r_1 \cdot p_2 + r_2 \cdot p_1) \cdot t + \left[p_2 \cdot (n - m) + \frac{p_2 \cdot r_1 - r_2 \cdot p_2}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$V_{C0}(t) := \begin{cases} 1 & \text{if } t > T_p \\ \text{otherwise} \\ \begin{cases} V_{C01}(t) & \text{if } t \leq D \cdot T_p \\ V_{C02}(t - D \cdot T_p) & \text{otherwise} \end{cases} \end{cases}$$

$$V_{Cf}(t) := \begin{cases} 1 & \text{if } t > T_p \\ \text{otherwise} \\ \begin{cases} V_{Cf1}(t) & \text{if } t \leq D \cdot T_p \\ V_{Cf2}(t - D \cdot T_p) & \text{otherwise} \end{cases} \end{cases}$$

Equazioni di uscita

$$V_{OUT1}(t) := \frac{R_f}{R_s} \cdot V_{C01}(t) - \frac{ESR_0}{R_s} \cdot V_{Cf1}(t) + \frac{ESR_0}{R_s} \cdot V_{in} - \frac{ESR_0 \cdot R_f}{R_s} \cdot I_0$$

$$V_{OUT2}(t) := \frac{R_f}{R_s} \cdot V_{C02}(t) + \frac{ESR_0}{R_s} \cdot V_{Cf2}(t) - \frac{ESR_0 \cdot R_f}{R_s} \cdot I_0$$

$$V_{OUT}(t) := \begin{cases} 1 & \text{if } t > T_p \\ \text{otherwise} \\ \begin{cases} V_{OUT1}(t) & \text{if } t \leq D \cdot T_p \\ V_{OUT2}(t - D \cdot T_p) & \text{otherwise} \end{cases} \end{cases}$$

Modello medio

$$\frac{d}{dt}x_m(t) = [D \cdot F_1 + (1 - D) \cdot F_2] \cdot x_m(t) + [D \cdot G_1 + (1 - D) \cdot G_2] \cdot u(t) = F_m \cdot x_m(t) + G_m \cdot u(t)$$

$$x_m(t) = \begin{pmatrix} V_{Com}(t) \\ V_{Cfm}(t) \end{pmatrix}$$

dove

$$y_m(t) = V_{OUTm}(t)$$

$$u(t) = \begin{pmatrix} V_{in} \\ I_0 \end{pmatrix}$$

$$y_m(t) = [D \cdot H_1 + (1 - D) \cdot H_2] \cdot x_m(t) + [D \cdot J_1 + (1 - D) \cdot J_2] \cdot u(t) = H_m \cdot x_m(t) + J_m \cdot u(t)$$

Calcolo del valore medio in regime stazionario dello stato e dell'uscita:

In regime stazionario $\left(\frac{d}{dt}x_m(t)\right) = 0$, da cui si ricava :

$$V_{Com}(D) := \frac{V_{in}}{2} - I_0 \left[\frac{(1 - 2 \cdot D)^2}{4 \cdot D \cdot (1 - D)} \cdot R_s + R_f \right]$$

$$V_{Cfm}(D) := \frac{V_{in}}{2} - I_0 \cdot \frac{(1 - 2 \cdot D)}{4 \cdot D \cdot (1 - D)} \cdot R_s$$

$$V_{OUTm}(D) := \frac{R_f}{R_s} \cdot V_{Com}(D) + (1 - 2 \cdot D) \cdot \frac{ESR_0}{R_s} \cdot V_{Cfm}(D) + D \cdot \frac{ESR_0}{R_s} \cdot V_{in} - \frac{ESR_0 \cdot R_f}{R_s} \cdot I_0$$

Dalle equazioni precedenti si ricava la resistenza equivalente del convertitore:

$$R_{eq}(D) := \frac{(1 - 2 \cdot D)^2}{4 \cdot D \cdot (1 - D)} \cdot R_s + R_f$$

A.2 Modello convertitore generico

Dati:

Condensatore di uscita	$C_0 := 1 \cdot 10^{-6}$	$ESR_0 := 30 \cdot 10^{-3}$	
Condensatori volanti	$C_f := 1 \cdot 10^{-6}$	$ESR_f := 30 \cdot 10^{-3}$	
Resistenza in conduzione degli interruttori		$r_{ON} := 0.25$	
Resistenza equivalente del ramo in commutazione (fase 1)		R_{f1}	diverse a seconda della topologia
Resistenza equivalente del ramo in commutazione (fase 2)		R_{f2}	
Numero totale di condensatori	n		
Rapporto di conversione	$M := \frac{1}{n}$	e quindi	$N := n - 1$
	oppure		
	$M := \frac{n-1}{n}$	e quindi	$N := \frac{1}{n-1}$

dove N è il rapporto fra le tensioni ai capi delle capacità equivalenti nelle due fasi, nell'istante di commutazione.

Costanti:

$$R_{s1} := R_{f1} + ESR_0 \quad R_{s2} := R_{f2} + ESR_0$$

Funzioni:

$$aa_1(p_1, p_2, q_1, q_2) := \left[\frac{-q_1 \cdot p_1}{-(p_1 + p_2)} - \frac{q_2 \cdot p_1}{-(p_1 + p_2)} \right]$$

$$bb_1(p_1, p_2, q_1, q_2) := q_1 \cdot p_2 - q_2 \cdot p_1$$

$$aa_2(p_3, p_4, r_1, r_2) := \left[\frac{-r_1 \cdot p_3}{-(p_3 + p_4)} + \frac{r_2 \cdot p_3}{-(p_3 + p_4)} \right]$$

$$bb_2(p_3, p_4, r_1, r_2) := r_1 \cdot p_4 + r_2 \cdot p_3$$

$$aa_3(p_1, p_2, q_1, q_2) := \left[\frac{-q_1 \cdot p_2}{-(p_1 + p_2)} - \frac{q_2 \cdot p_2}{-(p_1 + p_2)} \right]$$

$$bb_3(p_1, p_2, q_1, q_2) := q_2 \cdot p_1 - q_1 \cdot p_2$$

$$aa_4(p_3, p_4, r_1, r_2) := \left[\frac{r_1 \cdot p_4}{-(p_3 + p_4)} - \frac{r_2 \cdot p_4}{-(p_3 + p_4)} \right]$$

$$bb_4(p_3, p_4, r_1, r_2) := r_1 \cdot p_4 + r_2 \cdot p_3$$

$$A1(p_1, p_2, d_1) := \frac{p_2 + p_1 \cdot e^{-(p_1+p_2) \cdot d_1}}{p_1 + p_2}$$

$$B1(p_1, p_2, d_1) := \frac{-p_1 + p_1 \cdot e^{-(p_1+p_2) \cdot d_1}}{p_1 + p_2}$$

$$A2(p_3, p_4, d_2) := \frac{p_4 + p_3 \cdot e^{-(p_3+p_4) \cdot d_2}}{p_3 + p_4}$$

$$B2(p_3, p_4, d_2) := \frac{p_3 - p_3 \cdot e^{-(p_3+p_4) \cdot d_2}}{p_3 + p_4}$$

$$A3(p_1, p_2, d_1) := \frac{-p_2 + p_2 \cdot e^{-(p_1+p_2) \cdot d_1}}{N \cdot (p_1 + p_2)}$$

$$B3(p_1, p_2, d_1) := \frac{p_1 + p_2 \cdot e^{-(p_1+p_2) \cdot d_1}}{N \cdot (p_1 + p_2)}$$

$$A4(p_3, p_4, d_2) := \frac{p_4 - p_4 \cdot e^{-(p_3+p_4) \cdot d_2}}{\frac{1}{N} \cdot (p_3 + p_4)}$$

$$B4(p_3, p_4, d_2) := \frac{p_3 + p_4 \cdot e^{-(p_3+p_4) \cdot d_2}}{\frac{1}{N} \cdot (p_3 + p_4)}$$

$$C1(p_1, p_2, d_1, q_1, q_2) := \frac{aa_1(p_1, p_2, q_1, q_2) + bb_1(p_1, p_2, q_1, q_2) \cdot d_1 - aa_1(p_1, p_2, q_1, q_2) \cdot e^{-(p_1+p_2) \cdot d_1}}{p_1 + p_2}$$

$$C2(p_3, p_4, d_2, r_1, r_2) := \frac{aa_2(p_3, p_4, r_1, r_2) + bb_2(p_3, p_4, r_1, r_2) \cdot d_2 - aa_2(p_3, p_4, r_1, r_2) \cdot e^{-(p_3+p_4) \cdot d_2}}{p_3 + p_4}$$

$$C3(p_1, p_2, d_1, q_1, q_2) := \frac{aa_3(p_1, p_2, q_1, q_2) + bb_3(p_1, p_2, q_1, q_2) \cdot d_1 - aa_3(p_1, p_2, q_1, q_2) \cdot e^{-(p_1+p_2) \cdot d_1}}{N \cdot (p_1 + p_2)}$$

$$C4(p_3, p_4, d_2, r_1, r_2) := \frac{aa_4(p_3, p_4, r_1, r_2) + bb_4(p_3, p_4, r_1, r_2) \cdot d_2 - aa_4(p_3, p_4, r_1, r_2) \cdot e^{-(p_3+p_4) \cdot d_2}}{\frac{1}{N} \cdot (p_3 + p_4)}$$

Stati iniziali in regime stazionario:

$$j(A1, A2, A3, A4, B1, B2, B3, B4, C1, C2, C3, C4) := - \frac{C2 + A2 \cdot C1 + B2 \cdot C3 + A2 \cdot B1 \cdot C4 - A4 \cdot B1 \cdot C2 + B2 \cdot B3 \cdot C4 - B3 \cdot B4 \cdot C2 + A2 \cdot B1 \cdot B4 \cdot C3 - A2 \cdot B3 \cdot B4 \cdot C1 - A4 \cdot B1 \cdot B2 \cdot C3 + A4 \cdot B2 \cdot B3 \cdot C1}{A1 \cdot A2 + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 - A1 \cdot A2 \cdot B3 \cdot B4 + A1 \cdot A4 \cdot B2 \cdot B3 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - I}$$

$$k(A1, A2, A3, A4, B1, B2, B3, B4, C1, C2, C3, C4) := - \frac{C4 + A4 \cdot C1 + B4 \cdot C3 - A1 \cdot A2 \cdot C4 + A1 \cdot A4 \cdot C2 - A3 \cdot B2 \cdot C4 + A3 \cdot B4 \cdot C2 - A1 \cdot A2 \cdot B4 \cdot C3 + A1 \cdot A4 \cdot B2 \cdot C3 + A2 \cdot A3 \cdot B4 \cdot C1 - A3 \cdot A4 \cdot B2 \cdot C1}{A1 \cdot A2 + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 - A1 \cdot A2 \cdot B3 \cdot B4 + A1 \cdot A4 \cdot B2 \cdot B3 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - I}$$

$$m(A1, A2, A3, A4, B1, B2, B3, B4, C1, C2, C3, C4) := - \frac{C1 + A1 \cdot C2 + B1 \cdot C4 + A1 \cdot B2 \cdot C3 - A3 \cdot B2 \cdot C1 + B1 \cdot B4 \cdot C3 - B3 \cdot B4 \cdot C1 + A1 \cdot B2 \cdot B3 \cdot C4 - A1 \cdot B3 \cdot B4 \cdot C2 - A3 \cdot B1 \cdot B2 \cdot C4 + A3 \cdot B1 \cdot B4 \cdot C2}{A1 \cdot A2 + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 - A1 \cdot A2 \cdot B3 \cdot B4 + A1 \cdot A4 \cdot B2 \cdot B3 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - I}$$

$$n(A1, A2, A3, A4, B1, B2, B3, B4, C1, C2, C3, C4) := - \frac{C3 + A3 \cdot C2 + B3 \cdot C4 - A1 \cdot A2 \cdot C3 + A2 \cdot A3 \cdot C1 - A4 \cdot B1 \cdot C3 + A4 \cdot B3 \cdot C1 - A1 \cdot A2 \cdot B3 \cdot C4 + A1 \cdot A4 \cdot B3 \cdot C2 + A2 \cdot A3 \cdot B1 \cdot C4 - A3 \cdot A4 \cdot B1 \cdot C2}{A1 \cdot A2 + A3 \cdot B2 + A4 \cdot B1 + B3 \cdot B4 - A1 \cdot A2 \cdot B3 \cdot B4 + A1 \cdot A4 \cdot B2 \cdot B3 + A2 \cdot A3 \cdot B1 \cdot B4 - A3 \cdot A4 \cdot B1 \cdot B2 - I}$$

Funzioni per gli stati iniziali in regime stazionario:

$A_{\text{func}}(C_0, C_f, D, Tp, I_0, V_{\text{in}}) :=$	$B_{\text{func}}(C_0, C_f, D, Tp, I_0, V_{\text{in}}) :=$	$C_{\text{func}}(C_0, C_f, D, Tp, I_0, V_{\text{in}}) :=$
$ \begin{array}{l} d_1 \leftarrow D \cdot Tp \\ d_2 \leftarrow (1 - D) \cdot Tp \\ p_1 \leftarrow \frac{1}{C_0 \cdot R_{s1}} \\ p_2 \leftarrow \frac{N}{C_f \cdot R_{s1}} \\ p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ q_1 \leftarrow p_1 \cdot (V_{\text{in}} - I_0 \cdot R_{f1}) \\ q_2 \leftarrow p_2 \cdot (V_{\text{in}} + I_0 \cdot \text{ESR}_0) \\ r_1 \leftarrow -p_3 \cdot I_0 \cdot R_{f2} \\ r_2 \leftarrow -p_4 \cdot I_0 \cdot \text{ESR}_0 \\ AA1 \leftarrow A1(p_1, p_2, d_1) \\ AA2 \leftarrow A2(p_3, p_4, d_2) \\ AA3 \leftarrow A3(p_1, p_2, d_1) \\ AA4 \leftarrow A4(p_3, p_4, d_2) \\ \text{return} \begin{pmatrix} AA1 \\ AA2 \\ AA3 \\ AA4 \end{pmatrix} \end{array} $	$ \begin{array}{l} d_1 \leftarrow D \cdot Tp \\ d_2 \leftarrow (1 - D) \cdot Tp \\ p_1 \leftarrow \frac{1}{C_0 \cdot R_{s1}} \\ p_2 \leftarrow \frac{N}{C_f \cdot R_{s1}} \\ p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ q_1 \leftarrow p_1 \cdot (V_{\text{in}} - I_0 \cdot R_{f1}) \\ q_2 \leftarrow p_2 \cdot (V_{\text{in}} + I_0 \cdot \text{ESR}_0) \\ r_1 \leftarrow -p_3 \cdot I_0 \cdot R_{f2} \\ r_2 \leftarrow -p_4 \cdot I_0 \cdot \text{ESR}_0 \\ BB1 \leftarrow B1(p_1, p_2, d_1) \\ BB2 \leftarrow B2(p_3, p_4, d_2) \\ BB3 \leftarrow B3(p_1, p_2, d_1) \\ BB4 \leftarrow B4(p_3, p_4, d_2) \\ \text{return} \begin{pmatrix} BB1 \\ BB2 \\ BB3 \\ BB4 \end{pmatrix} \end{array} $	$ \begin{array}{l} d_1 \leftarrow D \cdot Tp \\ d_2 \leftarrow (1 - D) \cdot Tp \\ p_1 \leftarrow \frac{1}{C_0 \cdot R_{s1}} \\ p_2 \leftarrow \frac{N}{C_f \cdot R_{s1}} \\ p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ q_1 \leftarrow p_1 \cdot (V_{\text{in}} - I_0 \cdot R_{f1}) \\ q_2 \leftarrow p_2 \cdot (V_{\text{in}} + I_0 \cdot \text{ESR}_0) \\ r_1 \leftarrow -p_3 \cdot I_0 \cdot R_{f2} \\ r_2 \leftarrow -p_4 \cdot I_0 \cdot \text{ESR}_0 \\ CC1 \leftarrow C1(p_1, p_2, d_1, q_1, q_2) \\ CC2 \leftarrow C2(p_3, p_4, d_2, r_1, r_2) \\ CC3 \leftarrow C3(p_1, p_2, d_1, q_1, q_2) \\ CC4 \leftarrow C4(p_3, p_4, d_2, r_1, r_2) \\ \text{return} \begin{pmatrix} CC1 \\ CC2 \\ CC3 \\ CC4 \end{pmatrix} \end{array} $

```

INIT_val(A,B,C) :=
| A1 ← (1  0  0  0)·A
| A2 ← (0  1  0  0)·A
| A3 ← (0  0  1  0)·A
| A4 ← (0  0  0  1)·A
| B1 ← (1  0  0  0)·B
| B2 ← (0  1  0  0)·B
| B3 ← (0  0  1  0)·B
| B4 ← (0  0  0  1)·B
| C1 ← (1  0  0  0)·C
| C2 ← (0  1  0  0)·C
| C3 ← (0  0  1  0)·C
| C4 ← (0  0  0  1)·C
| jj ← j(A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,C3,C4)
| kk ← k(A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,C3,C4)
| mm ← m(A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,C3,C4)
| nn ← n(A1,A2,A3,A4,B1,B2,B3,B4,C1,C2,C3,C4)
| return (
|   jj
|   kk
|   mm
|   nn
| )

```

Equazioni di stato:

$$VC01(p_1, p_2, q_1, q_2, j, k, t) := \frac{1}{p_1 + p_2} \cdot \left[-j \cdot p_2 - k \cdot p_1 + \frac{p_1 \cdot q_1 + q_2 \cdot p_1}{p_1 + p_2} + (q_1 \cdot p_2 - q_2 \cdot p_1) \cdot t + \left[p_1 \cdot (j + k) - \frac{p_1 \cdot q_1 + q_2 \cdot p_1}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$VCF1(p_1, p_2, q_1, q_2, j, k, t) := \frac{1}{p_1 + p_2} \cdot \left[-j \cdot p_2 + k \cdot p_1 + \frac{p_2 \cdot q_1 + q_2 \cdot p_2}{p_1 + p_2} + (q_2 \cdot p_1 - q_1 \cdot p_2) \cdot t + \left[p_2 \cdot (j + k) - \frac{p_2 \cdot q_1 + q_2 \cdot p_2}{p_1 + p_2} \right] \cdot e^{-(p_1 + p_2) \cdot t} \right]$$

$$VC02(p_3, p_4, r_1, r_2, m, n, t) := \frac{1}{p_3 + p_4} \cdot \left[m \cdot p_4 + n \cdot p_3 + \frac{p_3 \cdot r_1 - r_2 \cdot p_3}{p_3 + p_4} + (r_1 \cdot p_4 + r_2 \cdot p_3) \cdot t + \left[p_3 \cdot (m - n) - \frac{p_3 \cdot r_1 - r_2 \cdot p_3}{p_3 + p_4} \right] \cdot e^{-(p_3 + p_4) \cdot t} \right]$$

$$VCF2(p_3, p_4, r_1, r_2, m, n, t) := \frac{1}{p_3 + p_4} \cdot \left[m \cdot p_4 + n \cdot p_3 - \frac{p_4 \cdot r_1 - r_2 \cdot p_4}{p_3 + p_4} + (r_1 \cdot p_4 + r_2 \cdot p_3) \cdot t + \left[p_4 \cdot (n - m) + \frac{p_4 \cdot r_1 - r_2 \cdot p_4}{p_3 + p_4} \right] \cdot e^{-(p_3 + p_4) \cdot t} \right]$$

$V_{\text{Col}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}, t) :=$	$ \begin{array}{l} p_1 \leftarrow \frac{1}{C_0 \cdot R_{s1}} \\ p_2 \leftarrow \frac{N}{C_f \cdot R_{s1}} \\ p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ q_1 \leftarrow p_1 \cdot (V_{\text{in}} - I_0 \cdot R_{\text{fl}}) \\ q_2 \leftarrow p_2 \cdot (V_{\text{in}} + I_0 \cdot \text{ESR}_0) \\ A \leftarrow A_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ B \leftarrow B_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ C \leftarrow C_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ j \leftarrow (1 \ 0 \ 0 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ k \leftarrow (0 \ 1 \ 0 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ \text{return } \text{VCO1}(p_1, p_2, q_1, q_2, j, k, t) \end{array} $	$V_{\text{Cfl}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}, t) :=$	$ \begin{array}{l} p_1 \leftarrow \frac{1}{C_0 \cdot R_{s1}} \\ p_2 \leftarrow \frac{N}{C_f \cdot R_{s1}} \\ p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ q_1 \leftarrow p_1 \cdot (V_{\text{in}} - I_0 \cdot R_{\text{fl}}) \\ q_2 \leftarrow p_2 \cdot (V_{\text{in}} + I_0 \cdot \text{ESR}_0) \\ A \leftarrow A_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ B \leftarrow B_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ C \leftarrow C_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ j \leftarrow (1 \ 0 \ 0 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ k \leftarrow (0 \ 1 \ 0 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ \text{return } \text{VCF1}(p_1, p_2, q_1, q_2, j, k, t) \end{array} $
$V_{\text{Co2}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}, t) :=$	$ \begin{array}{l} p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ r_1 \leftarrow -p_3 \cdot I_0 \cdot R_{\text{f2}} \\ r_2 \leftarrow -p_4 \cdot I_0 \cdot \text{ESR}_0 \\ A \leftarrow A_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ B \leftarrow B_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ C \leftarrow C_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ m \leftarrow (0 \ 0 \ 1 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ n \leftarrow (0 \ 0 \ 0 \ 1) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ \text{return } \text{VCO2}(p_3, p_4, r_1, r_2, m, n, t) \end{array} $	$V_{\text{Cf2}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}, t) :=$	$ \begin{array}{l} p_3 \leftarrow \frac{1}{C_0 \cdot R_{s2}} \\ p_4 \leftarrow \frac{1}{N \cdot C_f \cdot R_{s2}} \\ r_1 \leftarrow -p_3 \cdot I_0 \cdot R_{\text{f2}} \\ r_2 \leftarrow -p_4 \cdot I_0 \cdot \text{ESR}_0 \\ A \leftarrow A_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ B \leftarrow B_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ C \leftarrow C_{\text{func}}(C_0, C_f, D, \text{Tp}, I_0, V_{\text{in}}) \\ m \leftarrow (0 \ 0 \ 1 \ 0) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ n \leftarrow (0 \ 0 \ 0 \ 1) \cdot \text{INIT}_{\text{val}}(A, B, C) \\ \text{return } \text{VCF2}(p_3, p_4, r_1, r_2, m, n, t) \end{array} $

Equazioni di uscita:

$$V_{OUT1}(C_0, C_f, D, Tp, I_0, V_{in}, t) := \frac{R_{f1}}{R_{s1}} \cdot V_{C01}(C_0, C_f, D, Tp, I_0, V_{in}, t) - \frac{ESR_0}{R_{s1}} \cdot V_{Cf1}(C_0, C_f, D, Tp, I_0, V_{in}, t) + \frac{ESR_0}{R_{s1}} \cdot V_{in} - \frac{ESR_0 R_{f1}}{R_{s1}} \cdot I_0$$

$$V_{OUT2}(C_0, C_f, D, Tp, I_0, V_{in}, t) := \frac{R_{f2}}{R_{s2}} \cdot V_{C02}(C_0, C_f, D, Tp, I_0, V_{in}, t) + \frac{ESR_0}{R_{s2}} \cdot V_{Cf2}(C_0, C_f, D, Tp, I_0, V_{in}, t) - \frac{ESR_0 R_{f2}}{R_{s2}} \cdot I_0$$

Andamento temporale della tensione di uscita:

$$V_{OUT}(C_0, C_f, D, Tp, I_0, V_{in}, t) := \begin{cases} 1 & \text{if } t > Tp \\ \text{otherwise} \\ \begin{cases} V_{OUT1}(C_0, C_f, D, Tp, I_0, V_{in}, t) & \text{if } t \leq D \cdot Tp \\ V_{OUT2}(C_0, C_f, D, Tp, I_0, V_{in}, t - D \cdot Tp) & \text{otherwise} \end{cases} \end{cases}$$

Valore medio della tensione di uscita:

$$V_{OUTm}(C_0, C_f, D, Tp, I_0, V_{in}) := \frac{1}{Tp} \cdot \left[\int_0^{D \cdot Tp} V_{OUT1}(C_0, C_f, D, Tp, I_0, V_{in}, s) ds + \int_{D \cdot Tp}^{(1-D) \cdot Tp} V_{OUT2}(C_0, C_f, D, Tp, I_0, V_{in}, s) ds \right]$$

Valore efficace della tensione di uscita:

$$V_{OUTef}(C_0, C_f, D, Tp, I_0, V_{in}) := D \cdot \sqrt{\frac{1}{D \cdot Tp} \cdot \int_0^{D \cdot Tp} (V_{OUT1}(C_0, C_f, D, Tp, I_0, V_{in}, s))^2 ds} + (1-D) \cdot \sqrt{\frac{1}{(1-D) \cdot Tp} \cdot \int_{D \cdot Tp}^{(1-D) \cdot Tp} (V_{OUT2}(C_0, C_f, D, Tp, I_0, V_{in}, s))^2 ds}$$

Resistenza di uscita:

$$R_{out}(C_0, C_f, D, Tp, I_0, V_{in}) := \frac{1}{I_0} (M \cdot V_{in} - V_{OUTm}(C_0, C_f, D, Tp, I_0, V_{in}))$$

A.3 Modello medio generico

Dati:

Condensatore di uscita	$C_0 := 1 \cdot 10^{-6}$	$ESR_0 := 30 \cdot 10^{-3}$	
Condensatori volanti	$C_f := 1 \cdot 10^{-6}$	$ESR_f := 30 \cdot 10^{-3}$	
Resistenza in conduzione degli interruttori		$r_{ON} := 0.25$	
Tensione in ingresso	$V_{in} := 3.3$		
Corrente di carico	$I_0 := 0.1$		
Periodo di commutazione	$T_p := 1 \cdot 10^{-6}$		
Duty cycle	D		
Resistenza equivalente del ramo in commutazione (fase 1)		R_{f1}	diverse a seconda d topologia
Resistenza equivalente del ramo in commutazione (fase 2)		R_{f2}	
Numero totale di condensatori	n		
Rapporto di conversione	$M := \frac{1}{n}$	e quindi	$N := n - 1$
	oppure		
	$M := \frac{n-1}{n}$	e quindi	$N := \frac{1}{n-1}$

dove N è il rapporto fra le tensioni ai capi delle capacità equivalenti nelle due fasi, nell'istante di commutazione.

Costanti:

$$\begin{aligned} R_{s1} &:= R_{f1} + ESR_0 & R_{s2} &:= R_{f2} + ESR_0 \\ p_1 &:= \frac{1}{C_0 \cdot R_{s1}} & p_2 &:= \frac{N}{C_f \cdot R_{s1}} & p_3 &:= \frac{1}{C_0 \cdot R_{s2}} & p_4 &:= \frac{1}{N \cdot C_f \cdot R_{s2}} \end{aligned}$$

Modello medio

$$\begin{aligned} \frac{d}{dt} x_m(t) &= [D \cdot F_1 + (1 - D) \cdot F_2] \cdot x_m(t) + [D \cdot G_1 + (1 - D) \cdot G_2] \cdot u(t) = F_m \cdot x_m(t) + G_m \cdot u(t) \\ x_m(t) &= \begin{pmatrix} V_{Com}(t) \\ V_{Cfm}(t) \end{pmatrix} \\ y_m(t) &= [D \cdot H_1 + (1 - D) \cdot H_2] \cdot x_m(t) + [D \cdot J_1 + (1 - D) \cdot J_2] \cdot u(t) = H_m \cdot x_m(t) + J_m \cdot u(t) \\ u(t) &= \begin{pmatrix} V_{in} \\ I_0 \end{pmatrix} \end{aligned} \quad \text{dove} \quad \begin{aligned} y_m(t) &= V_{OUTm}(t) \end{aligned}$$

Calcolo del valore medio in regime stazionario dello stato e dell'uscita:

In regime stazionario $\left(\frac{d}{dt} x_m(t)\right) = 0$, da cui si ricava:

Given

$$\begin{aligned} [-D \cdot p_1 + (1 - D) \cdot p_3] \cdot x_0 + \left[-D \cdot p_1 + \frac{1}{N} (1 - D) \cdot p_3\right] \cdot x_f + p_1 \cdot D \cdot V_{in} + [-D \cdot p_1 \cdot R_{f1} + (1 - D) \cdot R_{f2} \cdot p_3] \cdot I_0 &= 0 \\ [-D \cdot p_2 + (1 - D) \cdot p_4] \cdot x_0 + \left[-D \cdot p_2 + \frac{1}{N} (1 - D) \cdot p_4\right] \cdot x_f + p_2 \cdot D \cdot V_{in} + [D \cdot p_2 \cdot ESR_0 + (1 - D) \cdot p_4 \cdot ESR_0] \cdot I_0 &= 0 \end{aligned}$$

$$V_{Cm}(D) := \text{Find}(x_0, x_f)$$

$$\begin{aligned} V_{OUTmx}(D) &:= \left[D \cdot \frac{R_{f1}}{R_{s1}} + (1 - D) \cdot \frac{R_{f2}}{R_{s2}}\right] \cdot V_{Cm}(D)_0 + \left[-D \cdot \frac{ESR_0}{R_{s1}} + \frac{1}{N} (1 - D) \cdot \frac{ESR_0}{R_{s2}}\right] \cdot V_{Cm}(D)_1 \\ V_{OUTmu}(D) &:= D \cdot \frac{ESR_0}{R_{s1}} \cdot V_{in} - \left[D \cdot \frac{ESR_0 \cdot R_{f1}}{R_{s1}} + (1 - D) \cdot \frac{ESR_0 \cdot R_{f2}}{R_{s2}}\right] \cdot I_0 \end{aligned}$$

$$V_{OUTm}(D) := V_{OUTmx}(D) + V_{OUTmu}(D)$$

Dalle equazioni precedenti si ricava la resistenza equivalente del convertitore:

$$R_{eq}(D) := \frac{M \cdot V_{in} - V_{OUTm}(D)}{I_0}$$

Appendice B

Programmi MATLAB

B.1 Convertitore 1/2

```
%|-----|  
%|  MODELLO E FUNZIONE DI TRASFERIMENTO  |  
%|  TRA DUTY-CYCLE E TENSIONE DI USCITA  |  
%|  PER IL CONVERTITORE 1/2              |  
%|-----|
```

```
%COSTANTI
```

```
Vin = 3.3;
```

```
rON = 0.25;
```

```
ESR0 = 0.03;
```

```
ESRf = 0.03;
```

```
C0 = 1e-6;
```

```
Cf = 1e-6;
```

```
Rf = 2*rON + ESRf;
```

```
Rs = ESR0+Rf;
```

```
p1 = 1/(C0*Rs);
p2 = 1/(Cf*Rs);

%DUTY-CYCLE E CORRENTE DI CARICO
d = 0.49;
IO = 0.1;

%MODELLO
F1 = [-p1, -p1; -p2, -p2];
F2 = [-p1, p1; p2, -p2];

G1 = [p1, -p1*Rf; p2, p2*ESR0];
G2 = [0, -p1*Rf; 0, -p2*ESR0];

H1 = [Rf/Rs, -ESR0/Rs];
H2 = [Rf/Rs, ESR0/Rs];

J1 = [ESR0/Rs, -(ESR0*Rf)/Rs];
J2 = [0, -(ESR0*Rf)/Rs];

F = d*F1+(1-d)*F2;
G = d*G1+(1-d)*G2;
H = d*H1+(1-d)*H2;
J = d*J1+(1-d)*J2;

U = [Vin; IO];

X = -inv(F)*G*U;
Y = H*X+J*U;
```

$$A = (F1-F2)*X+(G1-G2)*U;$$

$$B = (H1-H2)*X+(J1-J2)*U;$$

```
%FUNZIONE DI TRASFERIMENTO Gyd(s) TRA DUTY-CYCLE E TENSIONE DI USCITA
s = tf('s');
```

$$Gyd = H*inv(s*eye(2)-F)*A+B;$$

B.2 Convertitore 1/3

```
%|-----|
%|  MODELLO E FUNZIONE DI TRASFERIMENTO  |
%|  TRA DUTY-CYCLE E TENSIONE DI USCITA  |
%|  PER IL CONVERTITORE 1/3              |
%|-----|
```

```
%COSTANTI
```

$$V_{in} = 3.3;$$

$$r_{ON} = 0.25;$$

$$ESR_0 = 0.03;$$

$$ESR_f = 0.03;$$

$$C_0 = 1e-6;$$

$$C_{f1} = 1e-6;$$

$$C_{f2} = 1e-6;$$

$$R_{f1} = 3*r_{ON} + 2*ESR_f;$$

$$R_{s1} = ESR_0 + R_{f1};$$

```
p1 = 1/(C0*Rs1);
```

```
p2 = 1/(Cf1*Rs1);
```

```
p3 = 1/(Cf2*Rs1);
```

```
Rf2 = 2*rON + ESRf;
```

```
Rs2 = 2*ESR0+Rf2;
```

```
kA = 1+(ESR0/Rf2);
```

```
kB = ESR0/Rf2;
```

```
q1 = 1/(C0*Rs2);
```

```
q2 = 1/(Cf1*Rs2);
```

```
q3 = 1/(Cf2*Rs2);
```

```
%DUTY-CYCLE E CORRENTE DI CARICO
```

```
d = 0.33;
```

```
I0 = 0.1;
```

```
%MODELLO
```

```
F1 = [-p1, -p1, -p1; -p2, -p2, -p2; -p3, -p3, -p3];
```

```
F2 = [-2*q1, q1, q1; q2, -q2*kA, q2*kB; q3, q3*kB, -q3*kA];
```

```
G1 = [p1, -p1*Rf1; p2, p2*ESR0; p3, p3*ESR0];
```

```
G2 = [0, -q1*Rf2; 0, -q2*ESR0; 0, -q3*ESR0];
```

```
H1 = [Rf1/Rs1, -ESR0/Rs1, -ESR0/Rs1];
```

```
H2 = [Rf2/Rs2, ESR0/Rs2, ESR0/Rs2];
```

```
J1 = [ESR0/Rs1, -(ESR0*Rf1)/Rs1];
```

```
J2 = [0, -(ESR0*Rf2)/Rs2];
```

```
F = d*F1+(1-d)*F2;
```

```
G = d*G1+(1-d)*G2;
```

```
H = d*H1+(1-d)*H2;
```

```
J = d*J1+(1-d)*J2;
```

```
U = [Vin; I0];
```

```
X = -inv(F)*G*U; Y = H*X+J*U;
```

```
A = (F1-F2)*X+(G1-G2)*U;
```

```
B = (H1-H2)*X+(J1-J2)*U;
```

```
%FUNZIONE DI TRASFERIMENTO Gyd(s) TRA DUTY-CYCLE E TENSIONE DI USCITA
```

```
s = tf('s');
```

```
Gyd = H*inv(s*eye(3)-F)*A+B;
```

B.3 Convertitore 2/3

```
%|-----|
%|  MODELLO E FUNZIONE DI TRASFERIMENTO  |
%|  TRA DUTY-CYCLE E TENSIONE DI USCITA  |
%|  PER IL CONVERTITORE 2/3              |
%|-----|
```

```
%COSTANTI
```

```
Vin = 3.3;
```

```
rON = 0.25;
ESR0 = 0.03;
ESRf = 0.03;

C0 = 1e-6;
Cf1 = 1e-6;
Cf2 = 1e-6;

Rs1 = 2*ESR0+5*Ron+ESRf;
Rf1 = 5*Ron+ESRf;

Ra = (2*Ron+ESR0)/(Ron+ESRf);
Rb = (3*Ron+ESR0+ESRf)/(Ron+ESRf);

p1 = 1/(C0*Rs1);
p2 = 1/(Cf1*Rs1);
p3 = 1/(Cf2*Rs1);

Rf2 = 3*Ron+2*ESRf;
Rs2 = ESR0+Rf2;

q1 = 1/(C0*(ESR0+Rf2));
q2 = 1/(Cf1*(ESR0+Rf2));
q3 = 1/(Cf2*(ESR0+Rf2));

%DUTY-CYCLE E CORRENTE DI CARICO
d = 0.64;
IO = 0.1;

%MODELLO
```

$$F1 = [-2*p1, -p1, -p1; -p2, -Rb*p2, Ra*p2; -p3, Ra*p3, -Rb*p3];$$

$$F2 = [-q1, q1, q1; q2, -q2, -q2; q3, -q3, -q3];$$

$$G1 = [2*p1, -p1*Rf1; p2, p2*ESR0; p3, p3*ESR0];$$

$$G2 = [0, -q1*Rf2; 0, -q2*ESR0; 0, -q3*ESR0];$$

$$H1 = [Rf1/Rs1, -ESR0/Rs1, -ESR0/Rs1];$$

$$H2 = [Rf2/Rs2, ESR0/Rs2, ESR0/Rs2];$$

$$J1 = [2*ESR0/Rs1, -(ESR0*Rf1)/Rs1];$$

$$J2 = [0, -(ESR0*Rf2)/Rs2];$$

$$F = d*F1+(1-d)*F2;$$

$$G = d*G1+(1-d)*G2;$$

$$H = d*H1+(1-d)*H2;$$

$$J = d*J1+(1-d)*J2;$$

$$U = [Vin; I0];$$

$$X = -\text{inv}(F)*G*U;$$

$$Y = H*X+J*U;$$

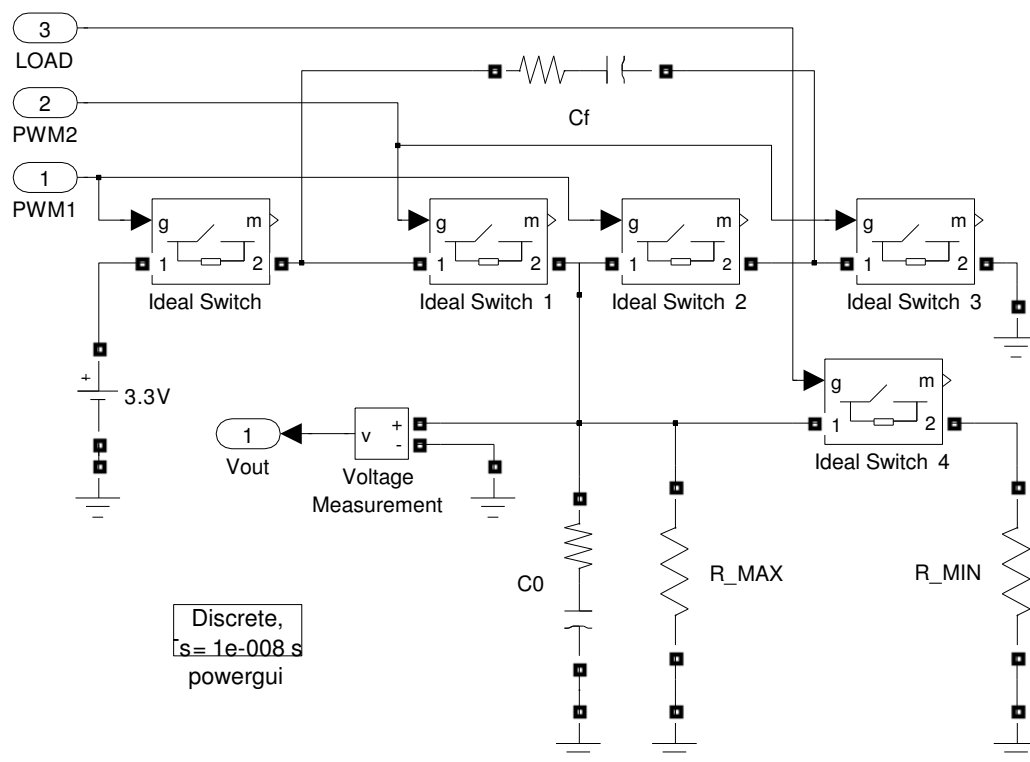
$$A = (F1-F2)*X+(G1-G2)*U;$$

$$B = (H1-H2)*X+(J1-J2)*U;$$

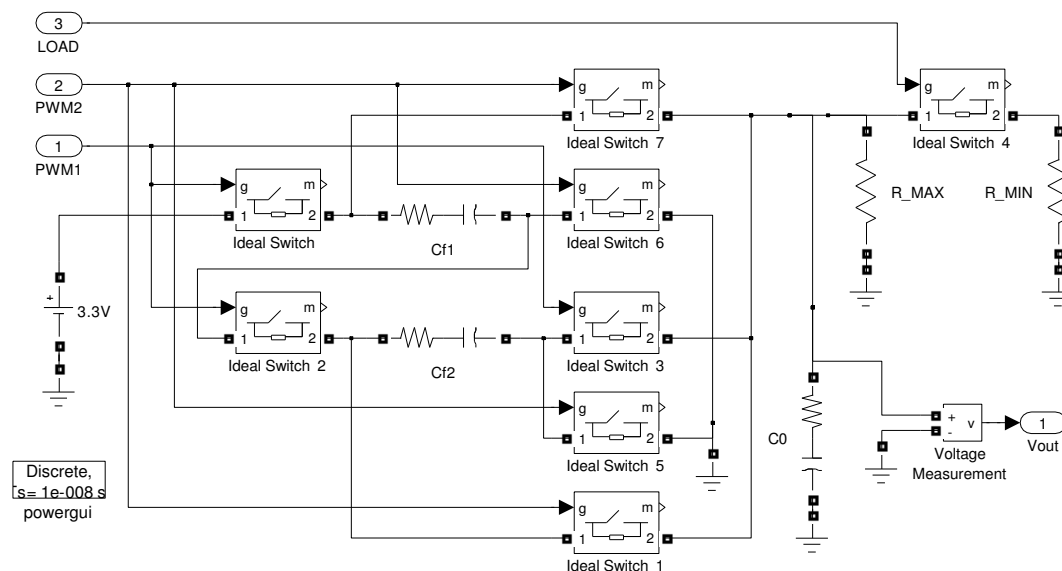
%FUNZIONE DI TRASFERIMENTO Gyd(s) TRA DUTY-CYCLE E TENSIONE DI USCITA

s = tf('s');

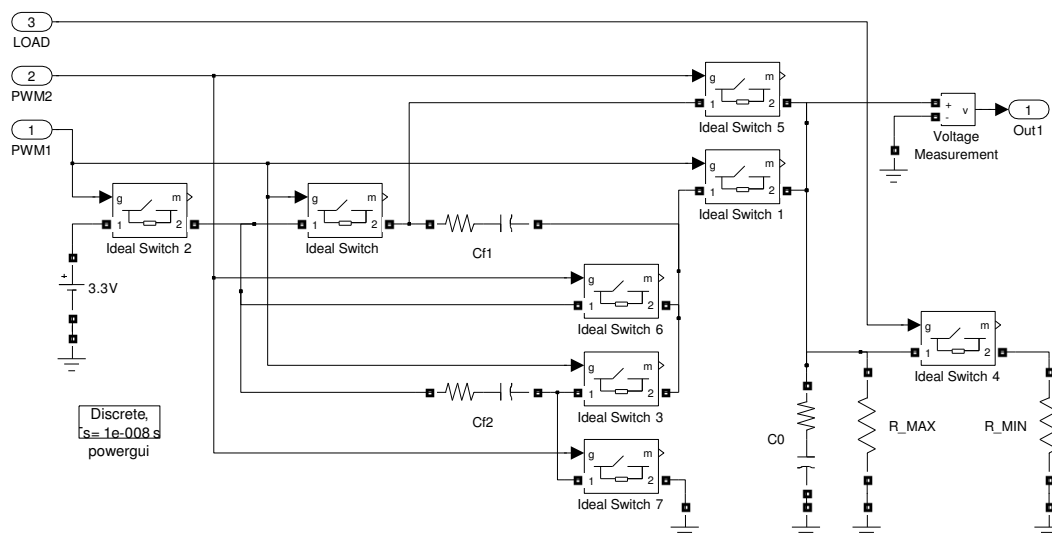
$$Gyd = H*\text{inv}(s*\text{eye}(3)-F)*A+B;$$



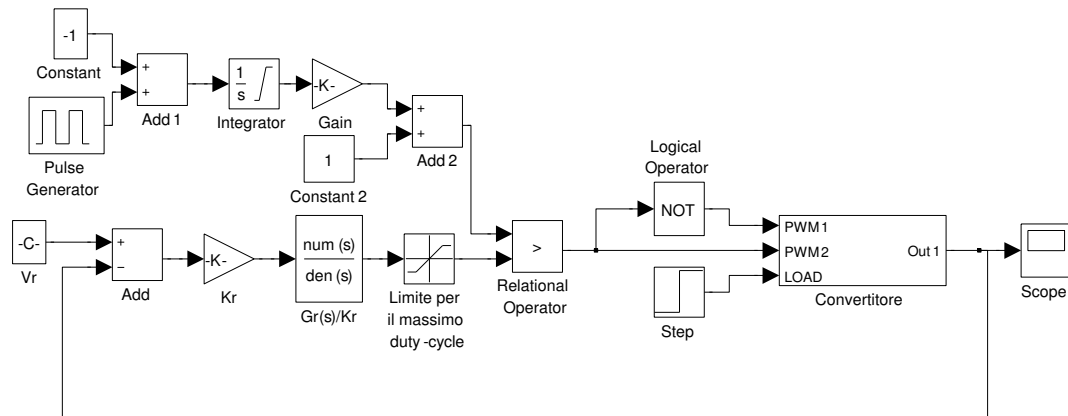
C.2 Convertitore 1/3



C.3 Convertitore 2/3



C.4 Controllo del duty-cycle



Elenco delle figure

1.1	Convertitore con rapporto di conversione $M=1/2$	5
1.2	Modello di un convertitore a capacità commutata.	7
1.3	Andamento temporale della tensione di uscita per un SCC con rapporto di conversione $M = 1/2$, $C_F = 1\mu F$, $C_{OUT} = 33\mu F$, frequenza di commutazione degli interruttori $f = 1MHz$ e duty- cycle $D = 0.5$	8
1.4	Modello base di una cella di commutazione Hard Switched.	10
1.5	Andamento di R_{eq} per $C = 1\mu F$, $R = 0.5\Omega$ e $D = 0.5$	12
1.6	Modello base di una cella di commutazione Soft Switched.	13
1.7	Andamento di $R_{eq}f_sC$ al variare di ζ_d	16
1.8	Convertitore lossless e forme d'onda.	18
1.9	Convertitore lossless con isolamento.	19
1.10	Convertitore Hard Switched (a) e Current Pumped (b).	19
1.11	Convertitore Zero Current Switching (ZCS).	21
1.12	Rete equivalente per C_r	21
2.1	Convertitore Series-Parallel con rapporto di conversione $1/3$	24
2.2	Convertitore di tipo Ladder.	29
2.3	Convertitore di tipo Dickson.	30
2.4	Convertitore di tipo Fibonacci.	32
2.5	Convertitore di tipo Series-Parallel.	33
2.6	Convertitore di tipo Doubler.	34
2.7	Andamento di R_{SSL}^N in funzione del rapporto di conversione n . . .	36
2.8	Andamento di R_{FSL}^N in funzione del rapporto di conversione n . . .	36

3.1	Convertitore con rapporto di conversione $1/2$	39
3.2	Topologia assunta nella fase Φ_1	40
3.3	Topologia assunta nella fase Φ_2	42
3.4	Andamento della resistenza di uscita al variare del duty-cycle. . .	44
3.5	Andamento della tensione di uscita in regime stazionario.	47
3.6	Convertitore S/P con rapporto di conversione $1/n$ nelle due fasi. .	48
3.7	Andamento della resistenza di uscita al variare di N	50
3.8	Schema del convertitore con rapporto di conversione $1/3$	52
3.9	Schema del convertitore con rapporto di conversione $2/3$	54
4.1	Andamento del rendimento in funzione della tensione d'ingresso per l'integrato LM2770 della National Semiconductor. G è il rapporto di conversione dato dalla rete a capacità commutate. . .	58
4.2	Schema a blocchi dell'anello di controllo di tensione.	60
5.1	Schema circuitale dei doppi deviatori TS3A24157.	64
5.2	r_{on} vs. V_{COM} per $V_+ = 2.3V$ (a) e $V_+ = 2.7V$ (b).	65
5.3	Schema del controllore PWM UC3823A.	66
5.4	V_{OUT} vs. D per $C_f = C_0 = 1\mu F$	70
5.5	R_{eq} vs. f_s per $C_f = 1\mu F$	71
5.6	R_{eq} vs. f_s per $C_0 = 1\mu F$	71
5.7	R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$	72
5.8	Andamento del ripple sulla tensione di uscita in funzione di C_0 . .	73
5.9	V_{OUT} vs. D	75
5.10	R_{eq} vs. f_s con $C_f = 1\mu F$	76
5.11	R_{eq} vs. f_s con $C_0 = 1\mu F$	76
5.12	R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$	77
5.13	Andamento del ripple sulla tensione di uscita in funzione di C_0 . .	77
5.14	V_{OUT} vs. D	78
5.15	R_{eq} vs. f_s con $C_f = 1\mu F$	79
5.16	R_{eq} vs. f_s con $C_0 = 1\mu F$	79
5.17	R_{eq} vs. C_0 e C_f per rispettivamente $C_f = 1\mu F$ e $C_0 = 1\mu F$	80

5.18	Andamento del ripple sulla tensione di uscita in funzione di C_0 .	80
5.19	Andamento della tensione al variare del duty-cycle.	81
5.20	R_{eq} vs. f_s .	82
5.21	R_{eq} vs. I_0 .	82
5.22	Segnale di comando dei deviatori.	83
5.23	Ripple sulla tensione di uscita in condizioni nominali.	84
5.24	Andamento della tensione al variare del duty-cycle.	85
5.25	R_{eq} vs. f_s .	86
5.26	R_{eq} vs. I_0 .	87
5.27	Ripple sulla tensione di uscita in condizioni nominali.	87
5.28	V_{OUT} vs. D .	89
5.29	Regolatore PI.	90
5.30	Convertitore 1/2. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.49$, $I_0 = 100\text{mA}$ (a) $D = 0.014$, $I_0 = 5\text{mA}$ (b).	93
5.31	Convertitore 1/2. Diagramma di Bode del guadagno d'anello per $D = 0.49$, $I_0 = 100\text{mA}$ (a) $D = 0.014$, $I_0 = 5\text{mA}$ (b).	94
5.32	Convertitore 1/3. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.33$, $I_0 = 100\text{mA}$ (a) $D = 0.01$, $I_0 = 5\text{mA}$ (b).	97
5.33	Convertitore 1/3. Diagramma di Bode del guadagno d'anello per $D = 0.33$, $I_0 = 100\text{mA}$ (a) $D = 0.01$, $I_0 = 5\text{mA}$ (b).	98
5.34	Convertitore 2/3. Diagramma di Bode di $G_{yd}(2\pi f)$ per $D = 0.64$, $I_0 = 100\text{mA}$ (a) $D = 0.022$, $I_0 = 5\text{mA}$ (b).	101
5.35	Convertitore 2/3. Diagramma di Bode del guadagno d'anello per $D = 0.64$, $I_0 = 100\text{mA}$ (a) $D = 0.022$, $I_0 = 5\text{mA}$ (b).	102
5.36	Rete per generare la tensione di riferimento V_R .	103
5.37	Schema del secondo prototipo.	105
5.38	Circuito stampato del secondo prototipo.	107
5.39	Il circuito stampato realizzato.	108
5.40	Curva di controllo del convertitore 1/2.	111
5.41	Commutazione da carico nominale a carico nullo.	114
5.42	Commutazione da carico nullo a carico nominale.	115

5.43	Curva di controllo del convertitore 1/3.	116
5.44	Commutazione da carico nominale a carico nullo.	118
5.45	Commutazione da carico nullo a carico nominale.	119
5.46	Curva di controllo del convertitore 2/3.	120
5.47	Commutazione da carico nominale a carico nullo.	122
5.48	Commutazione da carico nullo a carico nominale.	123

Elenco delle tabelle

2.1	Confronto fra le topologie di convertitori Hard Switched DC/DC.	37
5.1	Descrizione ed utilizzo dei pin del dispositivo UC3823A.	68
5.2	Valori nominali per il convertitore 1/2.	74
5.3	Valori nominali per il convertitore 1/3.	76
5.4	Valori nominali per il convertitore 2/3.	79
5.5	Valori nominali per il secondo prototipo.	88
5.6	Margine di fase e banda passante per il convertitore 1/2.	92
5.7	Margine di fase e banda passante per il convertitore 1/3.	96
5.8	Margine di fase e banda del controllo per il convertitore 2/3. . . .	100
5.9	Valori per le reti generatrici dei riferimenti.	103
5.10	Valori per le resistenze e capacità di timing.	104
5.11	Valori per le capacità dei convertitori e per i regolatori PI.	104
5.12	Confronto fra risultati sperimentali e teorici.	110
5.13	Ripple sulla tensione di uscita e tempi morti.	110

Bibliografia

- [1] Linear Technology Corporation. **LTC1263 12V, 60mA Flash Memory Programming Supply**, 1996.
- [2] Maxim. **MAX662A +12V, 30mA Flash Memory Programming Supply**, August 1994.
- [3] National Semiconductor. **LM3352 Regulated 200 mA Buck-Boost Switched Capacitor DC/DC Converter**, September 1999.
- [4] Maxim. **MAX202E-MAX213E +5V RS-232 Transceivers**, March 2005.
- [5] National Semiconductor. **LM2759 1A Switched Capacitor Flash LED Driver with I2C Compatible Interface**, February 2010.
- [6] J. W. Kimball and P. T. Krein. **Analysis and Design of Switched Capacitor Converters**. In *Proceedings of the 20th Annual Applied Power Electronics Conference and Exposition (APEC)*, volume 3, pages 1473–1477, 2005.
- [7] S. Terada, I. Oota, K. Eguchi, and F. Ueno. **Switched-capacitor (SC) DC-DC converter with fine tune control outputs**. In *Proceedings of the 6th International Caribbean Conference on Devices, Circuits and Systems*, pages 233–236, Mexico, April 2006.
- [8] J. W. Kimball, P. T. Krein, and K. R. Cahill. **Modeling of Capacitor Impedance in Switching Converters**. *IEEE Power Electronics Letters*, volume 3(4): pages 136–141, December 2005.

- [9] Cheng K. W. E. **New Generation of Switched Capacitor Converters.** In *Proceedings of the 29th Annual IEEE Power Electronics Specialists Conference (PESC)*, volume 2, pages 1529–1535, Fukuoka, Japan, May 1998.
- [10] C. K. Tse, S. C. Wong, and M. H. L. Chow. **On Lossless Switched-Capacitor Power Converters.** *IEEE Transactions on Power Electronics*, volume 10(3): pages 286–291, May 1995.
- [11] T. Das and P. Mandal. **Switched-Capacitor based Buck Converter Design using Current Limiter for better Efficiency and Output Ripple.** In *22nd International Conference on VLSI Design*, pages 181–186, 2009.
- [12] J. Chen and A. Ioinovici. **Switching-Mode DC-DC Converter with Switched-Capacitor-Based Resonant Circuit.** *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, volume 43(11): pages 933–938, November 1997.
- [13] A. Ioinovici. **Switched-Capacitor Power Electronics Circuits.** *IEEE Circuits and Systems Magazine*, volume 1(3): pages 37–42, 2001.
- [14] Wei-Chung W. and R. M. Bass. **Analysis of Charge Pumps Using Charge Balance.** In *Proceedings of the 31st Annual IEEE Power Electronics Specialists Conference (PESC)*, volume 3, pages 1491–1496, Galway, 2000.
- [15] I. Oota, N. Hara, and F. Ueno. **A General Method for Deriving Output Resistances of Serial Fixed Type Switched-Capacitor Power Supplies.** In *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*, volume 3, pages 503–506, Geneva, Switzerland, May 2000.
- [16] M. D. Seeman. **Analytical and Practical Analysis of Switched-Capacitor DC-DC Converters.** Technical Report N. UCB/EECS-2006-111, University of California at Berkeley, September 2006.

- [17] M. S. Makowski and D. Maksimovic. **Performance limits of switched-capacitor DC-DC converters.** In *Proceedings of the 26th Annual IEEE Power Electronics Specialists Conference (PESC)*, volume 2, pages 1215–1221, Atlanta, GA, June 1995.
- [18] M. S. Makowski. **Realizability Conditions and Bounds on Synthesis of Switched-Capacitor DC-DC Voltage Multiplier Circuits.** *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, volume 44(8): pages 684–691, August 1997.
- [19] Jian L. and Zhiming C. **Steady State Analysis and Design of Switched Capacitor DC-DC Converters.** In *Proceedings of the 25th Annual IEEE Industrial Electronics Society Conference (IECON)*, volume 1, pages 163–167, San Jose, CA, 1999.
- [20] W. S. Harris and K. D. T. Ngo. **Operation and Design of a Switched-Capacitor DC-DC Converter with Improved Power Rating.** In *Proceedings of the 9th Annual Applied Power Electronics Conference and Exposition (APEC)*, volume 1, pages 192–198, Orlando, FL, February 1994.
- [21] W. S. Harris and K. D. T. Ngo. **Steady-state analysis and design of a switched-capacitor DC-DC converter.** *IEEE Transactions on Aerospace and Electronic Systems*, volume 30(1): pages 92–101, January 1994.
- [22] M. Veerachary. **Control of Switched Capacitor Step-Down Buck Converter.** In *Proceedings of the 32nd Annual IEEE Industrial Electronics Conference (IECON)*, pages 2073–2076, Paris, France, November 2006.
- [23] National Semiconductor Corporation. **LM2770 High Efficiency Switched Capacitor Step-Down DC/DC Regulator with Sleep Mode,** December 2004.
- [24] S. Ben-Yaakov. **Switched Capacitors Converters.** February 2009.

- [25] A. Rao, W. McIntyre, U. K. Moon, and G. C. Temes. **Noise-Shaping Techniques Applied to Switched-Capacitor Voltage Regulators.** *IEEE Journal of Solid-State Circuits*, volume 40(2): pages 422–429, February 2005.
- [26] Texas Instruments. **TS3A24157 0.65 Ohm Dual SPDT Analog Switch Dual-Channel 2:1 Multiplexer/Demultiplexer**, September 2007.
- [27] Texas Instruments. **TS3A24159 0.3 Ohm Dual SPDT Analog Switch Dual-Channel 2:1 Multiplexer/Demultiplexer**, February 2008.
- [28] Yageo Phycomp. **Surface-Mount Ceramic Multilayer Capacitors**, March 2009.
- [29] Texas Instruments. **UC3823A High-Speed PWM Controller**, November 2008.